



***The 2026 IEEE/JSAP Symposium on VLSI Technology & Circuits  
Will Feature Advances in Microelectronics on the Theme:  
“Advancing the AI Frontier Through VLSI Innovation”***

***2026 IEEE/JSAP VLSI 기술 및 회로 심포지엄 개최  
“VLSI 혁신을 통한 AI 프런티어의 확장 (Advancing the AI Frontier  
Through VLSI Innovation)”***

HONOLULU, HI (APRIL XX, 2026) – The [IEEE/JSAP Symposium on VLSI Technology & Circuits](#) has delivered a unique convergence of technology and circuits in the microelectronics industry for the last 45 years, creating maximum synergy between both domains. The 2026 Symposium is dedicated to the theme: “*Advancing the AI Frontier Through VLSI Innovation.*” The five-day event will be held in-person, featuring live sessions at the Hilton Hawaiian Village, Honolulu, HI, from June 14 to 18, 2026, and OnDemand access to technical sessions and other content beginning the following week. The Symposium will feature the latest VLSI technology developments, innovative circuit design, and the applications they enable, such as artificial intelligence, machine learning, IoT, wearable/implantable biomedical applications, big data, cloud/edge computing, virtual reality (VR) / augmented reality (AR), robotics, and autonomous vehicles.

하와이 호놀룰루 (2026년 4월 XX일) – 지난 45년간 마이크로일렉트로닉스 산업에서 기술(Technology)과 회로(Circuits)의 독보적인 융합을 이끌며 두 영역 간의 시너지를 극대화해 온 ‘IEEE/JSAP VLSI 기술 및 회로 심포지엄’이 개최됩니다. 2026년 심포지엄은 “VLSI 혁신을 통한 AI 프런티어의 확장”이라는 주제로 진행됩니다.

본 행사는 2026년 6월 14일부터 18일까지 5일간 하와이 호놀룰루의 힐튼 하와이안 빌리지에서 대면 세션으로 진행되며, 다음 주부터는 기술 세션 및 기타 콘텐츠를 온디맨드(OnDemand) 방식으로 제공할 예정입니다. 이번 심포지엄에서는 최신 VLSI 기술 발전과 혁신적인 회로 설계, 그리고 이를 통해 구현되는 인공지능(AI), 머신러닝, 사물인터넷(IoT), 웨어러블/이식형 바이오메디컬 응용 기기, 빅데이터, 클라우드/엣지 컴퓨팅, 가상현실(VR)/증강현실(AR), 로봇틱스 및 자율주행 자동차 등 다양한 응용 분야를 집중적으로 다룹니다.

The Symposium continues to be the microelectronics industry’s premiere international conference integrating technology, circuits, and systems with a range and scope like no other conference. In addition to the technical

presentations, the Symposium program will feature a demonstration session, an evening panel discussion, joint focus sessions, short courses, and workshops that provide technical content relevant to the Symposium theme.

본 심포지엄은 기술, 회로, 시스템을 아우르는 방대한 범위와 깊이를 갖춘 마이크로일렉트로닉스 업계 최고의 권위 있는 국제 컨퍼런스로서의 명성을 이어가고 있습니다. 기술 발표 외에도 데모 세션, 저녁 패널 토론, 공동 포커스 세션, 단기 강좌(Short Courses) 및 워크숍 등 심포지엄 주제와 밀접한 관련이 있는 다채로운 기술 프로그램이 마련될 예정입니다.

## Plenary Sessions

### 기조 연설

#### **“Building the Engine of AI: From Foundational VLSI Technologies to System-Scale Impact,” by Dr. Richard Ho, Head of Hardware, OpenAI**

New AI models are rapidly advancing intelligence across entertainment, productivity, and scientific discovery, driving transformative impact worldwide. However, the growing demands of large-scale training and inference are placing significant stress on hardware systems. To scale AI for global benefit, critical challenges in compute, memory bandwidth, connectivity, and datacenter infrastructure must be addressed. Achieving this will require innovations in memory integration, low-power interconnects, power delivery, thermal management, and advanced packaging – co-optimized within unified system architectures. Only through holistic, system-level design and disciplined execution can the necessary improvements in performance, efficiency, and total cost of ownership be realized to make AI broadly accessible.

#### **“AI 엔진 구축: 기초 VLSI 기술부터 시스템 규모의 영향력까지”**

**발표자: Dr. Richard Ho, OpenAI 하드웨어 부문 총괄**

새로운 AI 모델들은 엔터테인먼트, 생산성 향상, 과학적 발견 등 다양한 분야에서 지능의 수준을 빠르게 높이며 전 세계적으로 혁신적인 변화를 일으키고 있습니다. 하지만 대규모 학습과 추론에 대한 수요가 급증함에 따라 하드웨어 시스템에 가해지는 부담 또한 상당해졌습니다. AI를 전 지구적 혜택으로 확장하기 위해서는 연산 능력, 메모리 대역폭, 연결성 및 데이터센터 인프라의 핵심 과제들을 해결해야 합니다. 이를 위해 메모리 통합, 저전력 인터커넥트, 전력 공급, 열 관리 및 첨단 패키징 분야의 혁신이 통합 시스템 아키텍처 내에서 최적화되어야 합니다. 전방위적인 시스템 레벨 설계와 정밀한 실행이 뒷받침될 때만이 성능, 효율성 및 총소유비용(TCO)을 개선하여 AI의 보편적 접근성을 실현할 수 있을 것입니다.

#### **“Advanced Package for Next-Generation AI System Scaling” by Dr. L.C. Lu, Senior Fellow & VP of R&D, TSMC**

Advanced packaging is becoming central to scaling next-generation AI systems, addressing increasing demands for performance, power efficiency, and bandwidth. As compute density rises, communication bandwidth is the top priority, driven by continued UCIe advancements in 2.5D packaging. Silicon photonics innovations further improve energy-efficient, high-speed interconnects across AI datacenters. With multi-layer 3D stacking emerging as a mainstream integration approach, thermal management and power delivery become critical constraints. Solutions such as optimized cooling strategies and vertical power delivery networks help mitigate these challenges by reducing heat and improving efficiency. Meanwhile, 3Dblox plays a key role in enabling interoperable 3DIC design and automated heterogeneous integration through ongoing IEEE standardization efforts.

### “차세대 AI 시스템 확장을 위한 첨단 패키징”

**발표자: Dr. L.C. Lu, TSMC R&D 부사장 및 시니어 펠로우**

첨단 패키징은 성능, 전력 효율 및 대역폭에 대한 증가하는 요구를 충족시키며 차세대 AI 시스템 확장의 핵심으로 부상하고 있습니다. 연산 밀도가 높아짐에 따라 통신 대역폭 확보가 최우선 과제가 되었으며, 이는 2.5D 패키징에서의 지속적인 UCIe 발전에 의해 가속화되고 있습니다. 또한, 실리콘 포토닉스 혁신을 통해 AI 데이터센터 전반에 걸쳐 에너지 효율적인 고속 인터커넥트가 구현되고 있습니다. 다층 3D 적층(3D stacking)이 주류 통합 방식으로 자리 잡으면서 열 관리와 전력 공급이 중요한 제약 사항이 되었습니다. 최적화된 냉각 전략과 수직 전력 공급 네트워크(Vertical Power Delivery Networks) 등의 솔루션은 발열을 줄이고 효율을 높여 이러한 과제를 해결하는 데 기여합니다. 한편, 3Dblox는 현재 진행 중인 IEEE 표준화 노력을 통해 상호 운용 가능한 3DIC 설계와 자동화된 이종 집적(Heterogeneous Integration)을 가능하게 하는 핵심 역할을 수행하고 있습니다.

### “Intelligence Accelerated: Memory Innovations to Power the AI Era,” by Dr. Nirmal Ramaswamy, Corporate Vice President, Micron Technology

Artificial intelligence is fueling rapid growth in compute, data movement, and energy use, with memory now emerging as the primary bottleneck in advanced systems. As trillion-parameter models and reasoning workloads demand higher bandwidth and lower latency, the industry must advance DRAM, NAND, and high-bandwidth memory alongside innovations in packaging, including hybrid bonding and 3D stacking. Progress will depend on breakthroughs in materials science, modeling, wafer bonding, and metrology. Emerging non-volatile memories and CXL-based architectures will enable more flexible, scalable systems. Together, these innovations will define the next decade of AI infrastructure, delivering the performance and efficiency required for continued growth.

### “지능의 가속화: AI 시대를 견인하는 메모리 혁신”

**발표자: Dr. Nirmal Ramaswamy, 마이크론 테크놀로지 부사장**

인공지능은 연산량, 데이터 이동 및 에너지 소비의 급격한 증가를 야기하고 있으며, 이제 메모리는 첨단 시스템의 가장 큰 병목 구간으로 떠오르고 있습니다. 조 단위 파라미터 모델과 추론 워크로드가 더 높은 대역폭과 더 낮은 지연 시간을 요구함에 따라, 업계는 하이브리드 본딩 및 3D 적층을 포함한 패키징 혁신과 더불어 DRAM, NAND 및 고대역폭 메모리(HBM)를 발전시켜야 합니다. 이러한 진보는 재료 과학, 모델링, 웨이퍼 본딩 및 계측 분야의 획기적인 돌파구에 달려 있습니다. 차세대 비휘발성 메모리와 CXL 기반 아키텍처는 더욱 유연하고 확장 가능한 시스템을 가능하게 할 것입니다. 이러한 혁신들이 모여 향후 10년의 AI 인프라를 정의하며, 지속적인 성장에 필요한 성능과 효율성을 제공할 것입니다.

### “Meeting AI Demand Through Equipment Innovation and AI-Driven Manufacturing: Progress and Challenges” by Mr. Yoshinobu Mitano, Corporate Officer, Executive VP & General Manager, Tokyo Electron Ltd.

The semiconductor industry has grown alongside advancements in manufacturing equipment, and the rise of AI is further expanding the role of semiconductors. Equipment not only enables AI system performance but is also increasingly enhanced by AI itself, improving fab operations and technology. This presentation highlights efforts on both fronts: how new equipment and process innovations drive higher-performance, lower-power AI systems, and how AI is applied to optimize equipment and manufacturing. Current progress, challenges, and next steps are outlined, demonstrating how a dual

approach – advancing both semiconductors and equipment with AI – can meet today’s and tomorrow’s AI demands.

### “장비 혁신과 AI 기반 제조를 통한 AI 수요 대응: 진전과 과제”

발표자: Mr. Yoshinobu Mitano, 도쿄 일렉트론(TEL) 부사장 & 제너럴 매니저

반도체 산업은 제조 장비의 발전과 궤를 같이하며 성장해 왔으며, AI의 부상은 반도체의 역할을 더욱 확대시키고 있습니다. 이제 장비는 AI 시스템의 성능을 가능하게 할 뿐만 아니라, AI 스스로가 장비의 성능을 높여 팹(Fab) 운영과 기술을 개선하는 단계에 이르렀습니다. 본 발표에서는 두 가지 측면의 노력을 강조합니다. 첫째, 새로운 장비와 공정 혁신이 어떻게 고성능·저전력 AI 시스템을 구현하는가, 둘째, AI가 어떻게 장비와 제조 공정을 최적화하는 데 적용되는가 하는 점입니다. 현재의 성과와 과제, 그리고 향후 단계들을 살펴봄으로써, 반도체와 장비를 AI로 동시에 발전시키는 '이중 접근법'이 오늘날과 내일의 AI 수요를 어떻게 충족시킬 수 있을지 제시하고자 합니다.

### Focus Sessions

The Symposium program integrates technology & circuit topics with a series of six joint focus sessions to present papers that encompass both areas, including: 1) New computing and quantum computing; 2) Design-Technology Co-Optimization (DTCO); 3) Advanced STCO and AI/ML; 4) High Performance Computing (HPC) Connectivity; 5) Power Management; 6) Sensors, Imagers, & Displays. In addition, there are two Technology focus sessions on: 1) Advanced 3D Logic; 2) 3D Memory (Flash & HBM) Technology.

### 포커스 세션 (Focus Sessions)

본 심포지엄 프로그램은 공정/소자(Technology)와 회로(Circuit) 주제를 통합한 6개의 공동 포커스 세션을 통해 두 영역을 모두 아우르는 논문들을 선보입니다.

- 1) 새로운 컴퓨팅 및 양자 컴퓨팅 (New computing and quantum computing); 2) 설계-공정 공동 최적화 (Design-Technology Co-Optimization, DTCO); 3) 첨단 STCO 및 AI/ML (Advanced STCO and AI/ML); 4) 고성능 컴퓨팅(HPC) 연결성 (High Performance Computing Connectivity); 5) 전력 관리 (Power Management); 6) 센서, 이미지 및 디스플레이 (Sensors, Imagers, & Displays)
- 또한, 다음의 두 가지 기술 포커스 세션이 별도로 운영됩니다.
- 1) 첨단 3D 로직 (Advanced 3D Logic); 2) 3D 메모리(Flash 및 HBM) 기술 (3D Memory Technology)

### Short Courses on Critical VLSI topics

Two full-day short courses will be featured:

- **Technology Short Course** – “Technologies Shaping the Future as Key Enablers for AI” will cover Advanced Logic Technology Scaling, 3D Augmented Dimensional Scaling, Heterogeneous Integration, Material / Process Integration Innovations for AI, Beyond 6F2 – Scaling Frontiers and Future DRAM, Emerging NV Memories, Oxide Semiconductors for 3D Integration, and Advanced Optical Interconnects for AI Computing.
- **Circuits Short Course** – “AI-Driven Design Acceleration: Learning Across Circuits, Technology, and Yield” will examine Analog EDA, AI for Memory Development, Agent AI in EDA, Practical AI-Driven Floor Planning, AI Assistant for AI Analog IC Design, Machine Learning in Diagnosis, The Future of Chip Design, and General Transformation Re-engineering VLSI.

### VLSI 핵심 주제 단기 강좌 (Short Courses)

이들간의 집중 단기 강좌가 제공됩니다.

- **공정/소자 단기 강좌** – “AI 구현의 핵심 동력: 미래를 형성하는 기술들”: 첨단 로직 기술 스케일링, 3D 증강 차원 스케일링, 이중 집적, AI 를 위한 재료/공정 통합 혁신, Beyond 6F2 – 스케일링 한계와 미래 DRAM, 차세대 비휘발성(NV) 메모리, 3D 집적을 위한 산화물 반도체, AI 컴퓨팅을 위한 첨단 광 인터커넥트 등을 다룹니다.
- **회로 단기 강좌** – “AI 기반 설계 가속화: 회로, 기술 및 수율의 학습”: 아날로그 EDA, 메모리 개발을 위한 AI, EDA 내 에이전트 AI, 실무 AI 기반 플로어 플래닝(Floor Planning), AI 아날로그 IC 설계를 위한 AI 어시스턴트, 진단 분야의 머신러닝, 칩 설계의 미래 및 VLSI 재설계를 위한 일반 변환 엔지니어링 등을 살펴봅니다.

### Joint Evening Panel Session

#### **“AI: Grand Vision or Grand Delusion?”**

##### **Moderators:**

- Gary Bronner, Senior VP, Rambus Labs
- Vita Pi-Ho Hu, Professor of Electrical Engineering, National Taiwan University

##### **Panelists:**

- Tom Burd, Senior Fellow, AMD
- Kazunari Ishimaru, CTO & Senior Managing Executive Officer, Rapidus
- David Kanter, President & Founder, Real World Insights / ML Commons
- Hoshik Kim, Senior VP, Memory Systems Research, SK hynix
- Raja Koduri, Founder & CEO, Oxmiq Labs

The AI industry faces a pivotal moment as ambitious scaling goals collide with physical and economic limits. OpenAI’s call for trillion-dollar AI infrastructure investments underscores the massive expansion needed in datacenters, fabrication, and energy generation. While inference drives monetization, the costs and power demands – potentially hundreds of gigawatts by the 2030s – raise questions about the feasibility and efficiency of current strategies. The sector must weigh whether scaling compute for Large Language Models will fulfill AI’s promise or risk a “dot.AI” bubble. Realizing AI’s transformative potential may require paradigm shifts in computational approaches, not just raw expansion.

### **공동 저녁 패널 세션 (Joint Evening Panel Session)**

#### **“AI: 원대한 비전인가, 원대한 망상인가? (AI: Grand Vision or Grand Delusion?)”**

##### **좌장(Moderators):**

- Gary Bronner, Rambus Labs 수석 부사장
- Vita Pi-Ho Hu, 국립 대만 대학교 전기공학과 교수

##### **패널(Panelists):**

- Tom Burd, AMD 시니어 펠로우
- Kazunari Ishimaru, Rapidus CTO 및 전무 이사
- David Kanter, Real World Insights / ML Commons 설립자 및 회장
- 김호식, SK 하이닉스 메모리 시스템 연구 부문 부사장
- Raja Koduri, Oxmiq Labs 설립자 및 CEO

AI 산업은 야심 찬 확장 목표가 물리적·경제적 한계와 충돌하는 중대한 전환점에 서 있습니다. OpenAI 가 제안한 조 단위 달러 규모의 AI 인프라 투자 요구는 데이터센터, 팹(Fab) 및 에너지 발전 분야의 거대한 확장이 필요함을 시사합니다. 추론(Inference) 단계가 수익화를 주도하고 있지만, 2030년대까지 수백 기가와트에 달할 수 있는 전력 수요와 비용 문제는 현재 전략의 타당성과 효율성에 의문을 제기합니다. 이제 업계는 거대언어모델(LLM)을 위한 연산 능력의 확장이 AI의 약속을 실현할 것인지, 아니면 'dot.AI' 버블의 위험을 초래할 것인지 판단해야 합니다. AI의 변혁적 잠재력을 실현하기 위해서는 단순한 규모의 확장이 아닌, 컴퓨팅 접근 방식의 패러다임 전환이 필요할 수 있습니다.

### Demonstration Session

Approximately 15–20 table-top presentations will demonstrate device characterization, chip operational results, and potential applications for circuit-level innovations. Introduced in 2017, this popular in-person demonstration session will provide participants an opportunity for in-depth interaction with authors of selected papers from both Technology and Circuits sessions. The best demo will be selected by Symposium attendees.

### 데모 세션

약 15~20 개의 테이블탑 발표를 통해 소자 특성 분석, 칩 동작 결과 및 회로 레벨 혁신의 잠재적 응용 사례를 시연합니다. 2017 년에 도입되어 큰 호응을 얻고 있는 이 대면 세션은 참가자들이 기술 및 회로 세션의 선정 논문 저자들과 심도 있게 소통할 수 있는 기회를 제공합니다. 최고의 데모는 심포지엄 참석자들의 투표로 선정됩니다.

### Workshops

A series of workshop sessions will be held during the Symposium program to provide additional learning opportunities on topics adjacent to the Symposium program. This year, there are six workshops:

#### Workshop Sessions 1

- *Advances in Cryo-CMOS: Devices, Circuits and Applications*
- *Embedded Memories in the Sub-2nm Era: SRAM Scaling Perspectives, Alternatives, & 3D Futures*
- *Combining Light and Logic: Electronic-Photonic Co-Design for High-Performance Systems*

#### Workshop Sessions 2

- *Design, System and Cross-Technology Co Optimization for Silicon Spin Qubits*
- *High-Performance CMOS for DRAM: Enabling Mobile, Graphics, Datacenter, & HBM in the AI Era*
- *VLSI Device Manufacturability: Improving Semiconductor Yield Through Virtualization*

### 워크숍

심포지엄 프로그램과 연계하여 추가적인 학습 기회를 제공하는 6 개의 워크숍 세션이 진행됩니다.

#### 워크숍 세션 1

- 극저온 Cryo-CMOS 의 발전: 소자, 회로 및 응용
- 2nm 이하 시대의 임베디드 메모리: SRAM 스케일링 관점, 대안 및 3D 미래
- 빛과 로직의 결합: 고성능 시스템을 위한 전자-광학 공동 설계(Electronic-Photonic Co-Design)

#### 워크숍 세션 2

- 실리콘 스핀 큐비트를 위한 설계, 시스템 및 교차 기술 공동 최적화
- DRAM 을 위한 고성능 CMOS: AI 시대의 모바일, 그래픽, 데이터센터 및 HBM 구현
- VLSI 소자 제조 가능성: 가상화를 통한 반도체 수율 향상

### Luncheon Presentation

**“Innovative Neurotechnologies – A Journey from the Lab to the Clinic and Back”** by Dr. Madjid HiHi, CEA-Leti

The CEA-Leti Cinatec biomedical center in Grenoble exemplifies the power of translational ecosystems that unite neuroscientists, engineers, and clinicians to advance neurotechnology. Cinatec has developed the WIMAGINE® wireless electrocorticography system for long-term clinical use, benefiting motor-disabled patients. World-first demonstrations have paired WIMAGINE® with exoskeletons and spinal cord stimulators to restore mobility, leading to industrial transfer to ONWARD Medical in 2024. Future applications include stroke neurorehabilitation using motor rehabilitation systems. Converging advances in microelectronics, high-density

electrodes, and embedded AI are driving autonomous neuroprostheses, enabling real-time decoding of motor intentions and redefining seamless, lifelong brain-machine integration.

### 오찬 발표 (Luncheon Presentation)

“혁신적 신경 기술 – 연구실에서 임상으로, 그리고 다시 연구실로”

발표자: Dr. Madjid HiHi, CEA-Leti

그레노블의 CEA-Leti Clnatec 바이오메디컬 센터는 신경과학자, 엔지니어, 임상외과가 협력하여 신경 기술을 발전시키는 중개 연구(Translational) 생태계의 힘을 보여주는 사례입니다. Clnatec 은 운동 장애 환자들에게 도움을 주는 장기 임상용 무선 전기피질도(electrocorticography) 시스템인 WIMAGINE®을 개발했습니다. 세계 최초로 WIMAGINE®을 외골격 로봇 및 척수 자극기와 결합하여 운동 능력을 복구하는 시연에 성공했으며, 이는 2024년 ONWARD Medical 로의 기술 이전으로 이어졌습니다. 향후 응용 분야로는 운동 재활 시스템을 이용한 뇌졸중 신경 재활 등이 있습니다. 마이크로일렉트로닉스, 고밀도 전극, 임베디드 AI 의 융합된 발전은 자율형 신경 보조장치(neuroprostheses)를 가능하게 하여 운동 의도의 실시간 해독을 실현하고, 원활하고 평생 지속 가능한 뇌-기계 통합(Brain-Machine Integration)을 재정의하고 있습니다.

**Special events** at the Symposium include mentoring events sponsored by the Solid-State Circuits Society for Women in Circuits and for Young Professionals. In addition, a Young Professionals event sponsored jointly by the Hawaii Sections (June 14 of the Solid-State Circuits Society and the Electron Devices Society will be held.

**특별 이벤트:** Solid-State Circuits Society(SSCS)가 후원하는 '여성 회로 설계자(Women in Circuits)' 및 '청년 전문가(Young Professionals)'를 위한 멘토링 이벤트가 진행됩니다. 또한, 하와이 지부 공동 후원으로 청년 전문가 행사가 6월 14일에 개최됩니다.

**Satellite Workshops** held in conjunction with the Symposium include the [2026 Silicon Nanoelectronics Workshop](#) (June 13 & 14), sponsored by the IEEE Electron Devices Society; and the [2026 Spintronic Workshop on LSI](#) (June 14), organized by the Center for Innovative Integrated Electronic Systems (CIES), the Research Institute of Electrical Communication (RIEC), and the Center for Science and Innovation in Spintronics (CSIS) as World-Leading Research Center for Spintronics at Tohoku University.

**위성 워크숍(Satellite Workshops):** 2026 실리콘 나노일렉트로닉스 워크숍 (6월 13~14일, IEEE Electron Devices Society 후원), 2026 LSI 스핀트로닉스 워크숍 (6월 14일, 도호쿠 대학 세계 선도 연구 센터인 CIES, RIEC, CSIS 주관)

**Best Student Paper Awards** for each track Symposium are chosen based on the quality of the papers and presentations. The recipients will receive a monetary award, travel cost support, and a certificate. For a paper to be reviewed for this award, the lead author and presenter of the paper must be enrolled as a full-time student at the time of submission and must indicate on the web submission form that the paper is a student paper.

**학생 논문상 (Best Student Paper Awards):** 각 트랙에서 논문의 질과 발표 능력을 바탕으로 최우수 학생 논문을 선정합니다. 수상자에게는 상금, 여비 지원 및 상장이 수여됩니다. 본 상의 심사 대상이 되려면 제 1 저자 및 발표자가 제출 당시 전일제 학생이어야 하며, 온라인 제출 양식에 학생 논문임을 명시해야 합니다.

Further information about the Symposium is available at: <http://www.vlsisymposium.org>.

상세 정보: <http://www.vlsisymposium.org>

**Sponsoring Organizations**

The IEEE/JSAP Symposium on VLSI Technology & Circuits is sponsored by the IEEE Electron Devices Society, in cooperation with the IEEE Solid-State Circuits Society and the Japan Society of Applied Physics, in cooperation with the Institute of Electronics, Information and Communication Engineers.

**후원 기관**

본 IEEE/JSAP VLSI 기술 및 회로 심포지엄은 IEEE Electron Devices Society가 후원하며, IEEE Solid-State Circuits Society 및 일본 응용물리학회(Japan Society of Applied Physics), 그리고 전자정보통신공학회(IEICE)의 협력으로 진행됩니다.

**Media Contacts**

(North America and EU)

BtB Marketing Communications – Chris Burke, co-Media Relations Director

E-mail: [chris.burke@btbmarketing.com](mailto:chris.burke@btbmarketing.com)

(Japan and Asia)

Secretariat for VLSI Symposia c/o JTB Communication Design, Inc.

Tokyo, Japan

E-mail: [vlsisymp@jtbc.com](mailto:vlsisymp@jtbc.com)