



2026 年 VLSI 技術及電路研討會技術亮點

2026 年 IEEE/JSAP VLSI 技術及電路研討會為首屈一指的國際性會議，預計於 2026 年 6 月 14 日至 18 日舉辦，這場會議將展示微/奈米電子的突破、進度和演進。本次聯合技術及電路研討會將在夏威夷檀香山的希爾頓夏威夷村 (Hilton Hawaiian Village) 舉行，以提供交流機會，會後也將提供隨選觀看內容。

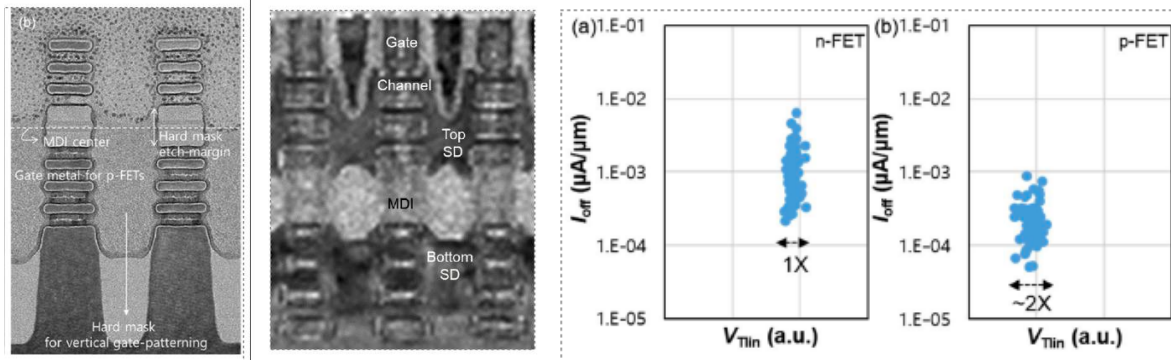
這次研討會採用「*透過 VLSI 創新推動 AI 前沿發展*」為核心主題，活動日程之中整合進階技術發展、創新電路設計及各種應用，協助全球邁向智慧連網裝置、節能基礎架構及 AI 支援硬體系統的新紀元，改變人類彼此互動的方式。

下列是以此為主題的一些精彩論文介紹：

技術焦點

進階 CMOS 技術

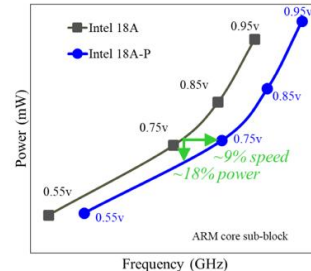
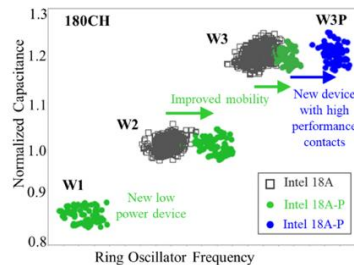
Samsung 具有三層奈米片通道的三維堆疊 FET (3DSFET)：Samsung 首次展出三維堆疊 FET，在同一晶圓上具有三層堆疊的奈米片通道，可同時用於 n 型和 p 型 FET。這是目前為止展出奈米片數量最多的三維堆疊 FET (或 CFET)。此外，該項研究實現了 42nm 的最小閘極間距，展現最具前瞻性的 CFET 尺寸縮小，有望達成產業化。**(論文 T1.1，「首次展出閘極間距為 42nm 的三維堆疊 FET，採用三層堆疊奈米片通道，適合先進邏輯應用」，Donghoon Hwang 等人，Samsung Electronics)**



圖：(左) 形成適用於 n 型與 p 型 FET 之合適閘極金屬後的 TEM 影像。(中) 圖為閘極間距 42nm、採用三層堆疊奈米片通道最終製成之 3DSFET 的 TEM 影像 (右) 3DSFET 的電氣特性 I_{off} 相較於 I_{DSat} ，可同時用於 n 型和 p 型 FET。

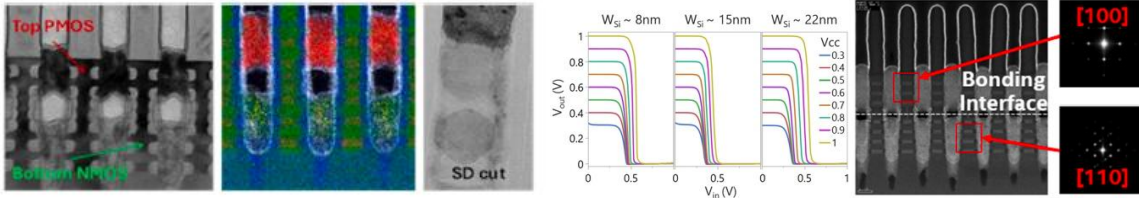
Intel 18A-P 先進 RibbonFET (GAA) 技術： Intel 將推出其 18A 技術系列的首項效能增強功能。透過採用額外的邏輯 VT 對、收緊製程角偏差、採用新型低功耗、高效能元件以及降低熱阻，這款 18A-P 晶片在相同功耗下效能提升 9%，或在相同效能下實現超過 18% 的能效提升，同時達成 SRAM V_{min} 並改善邏輯負偏壓溫度不穩定性 (NBTI)。18A-P 的推出是為了與 18A 的設計相容。(論文 T1.2, 「Intel 18A-P CMOS 技術強化，採用先進 RibbonFET (GAA) 電晶體和 PowerVia，適用於高效能運算」, A. Bowonder 等人, Intel Foundry)

	18A Feature List	18A-P Feature List
Performance @ Iso-Power	1x	9% Iso-Power Performance Gain
Contacted Poly pitch (nm)	50	50
Library Height (nm)	180 160	180 160
Transistor	Z2, Z3	Z1, Z2, Z3
	Z1, Z2, Z3	Z1.5 (Low Power) Z3P (HP contact)
VT	4 pairs of Logic VTs	5+ pairs of Logic VTs (New Logic VT between ULVT and LVT) Lower ULVT
Skew corners		~30% tightening in skew corners
Interconnect RC	Intel 18A Blue Process	V0-V2 R reduction, M2-M4 jogs
Thermals		Improved thermal conductivity by 50%



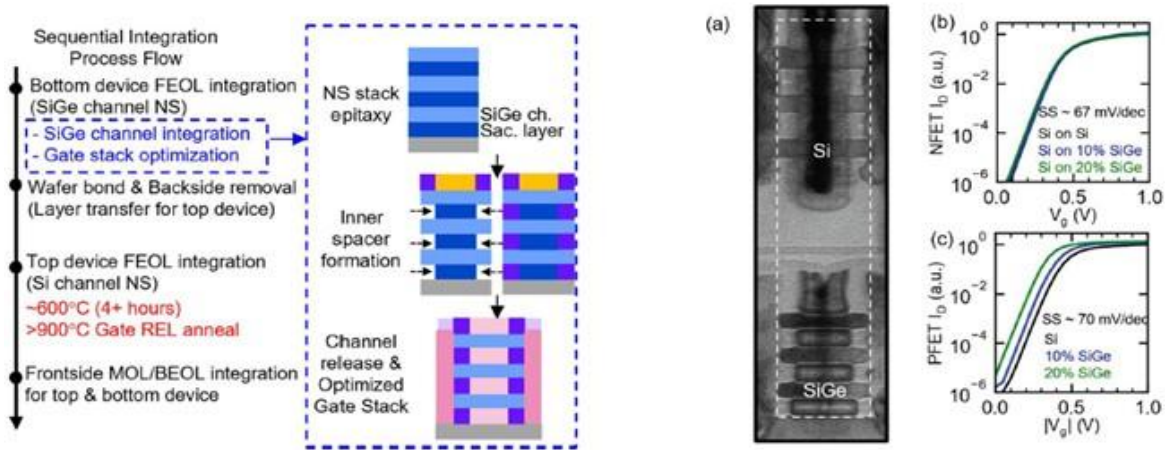
圖：(左) Intel 18A-P 新技術特性與 Intel 18A 比較 (中) 18A-P 新型元件 (低功耗和高效能) 的效能 (右) 在業界標準的 ARM 核心子模組上，Intel 18A-P 在相同功耗下的效能比 Intel 18A 提升約 9% (0.75V 電壓下)。

Intel CFET 反相器，採用 2x2 RibbonFET： Intel 將展示其 CFET 技術的幾項新特性，以最小的製程風險提供最佳的 PPA 改進，包括 45nm 閘極間距、PowerVia、直接背面接觸、用於內部連接的磊晶至磊晶通孔 (連接頂部與底部元件)，以及 PMOS 堆疊於 NMOS 之上的獨特結構。此外，採用中間電介質隔離 (MDI) 小於 10nm 的混合 PMOS Si (110) on NMOS Si (100) 堆疊結構，以強化 PMOS 效能。(論文 T5.2, 「在 Si (110) 上示範 CFET 反相器，採用 45nm 閘極間距的 2X2 RibbonFET 結合 PowerVia 與直接背面接觸」, J. A. Wiedemer 等人, Intel Corporation)



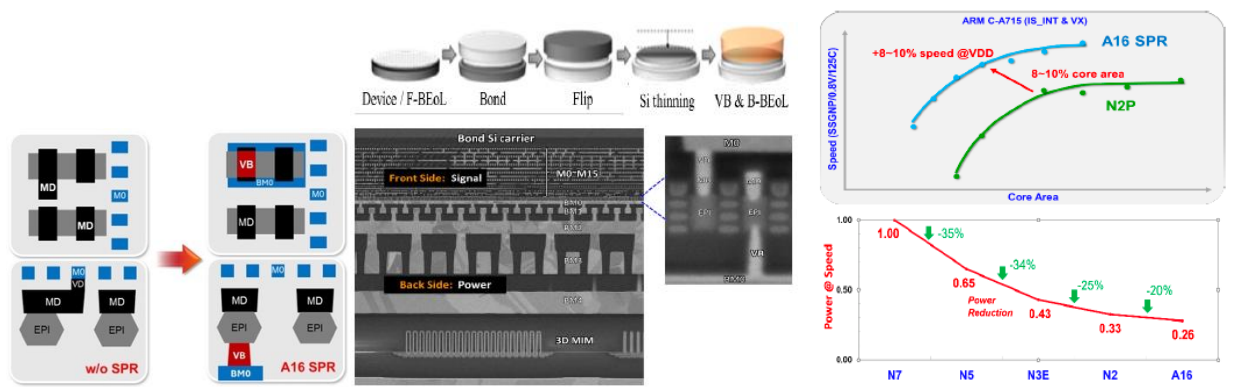
圖：(左) TEM 顯微圖顯示在 Si (110) 基板上垂直雙層磊晶後，接觸多晶矽間距 CPP=45nm 的雙帶 CFET 元件，這是首項 PMOS 位於頂部的 CFET 技術 (中) 在 Si (110) 晶圓上，CPP=45nm 製程下，VCC 範圍為 0.3V 至 1V 的 CFET 反相器電壓轉移特性 (VTC)，代表目前 CFET 技術的最新進展 (右) 使用相同的單片 CFET 製程加工之鍵合晶片的 EM 顯微照片，顯示 Si (110) 與 Si (100) 的通道走向。

IBM 高溫 SiGe 奈米片 PFET：IBM 將展示 SiGe 奈米片 (NS) 置換式金屬閘極 (RMG) PFET，其高溫穩定性超過 900°C，透過在底部 SiGe PFET 上順序整合頂部 Si NFET 進行驗證。所製備的 PFET 元件經證實表現出優異的 I_d-V_g ，次臨界值斜率為 70mV/dec。這些結果為多層順序整合奠定了基礎。(論文 T5.4, 「用於多層順序整合的耐高溫 SiGe 奈米片 PFET RMG」, N. Shanker 等人, IBM Research)



圖：(左) 具有 SiGe GAA NS 通道 (底部) 和 Si GAA NS 通道 (頂部) 之堆疊 FET 的高階整合製程。(右) 堆疊在熱穩定 SiGe PFET 上之 Si NFET 的橫斷面 TEM，顯示出優異的重疊性。 I_d-V_g 完全順序整合後，Si、10% SiGe 和 20% SiGe 元件的曲線。所有 PFET 元件的次臨界值斜率約為 70 mV/dec，顯示 SiGe 通道元件中不存在因介面陷阱造成的額外效能退化。

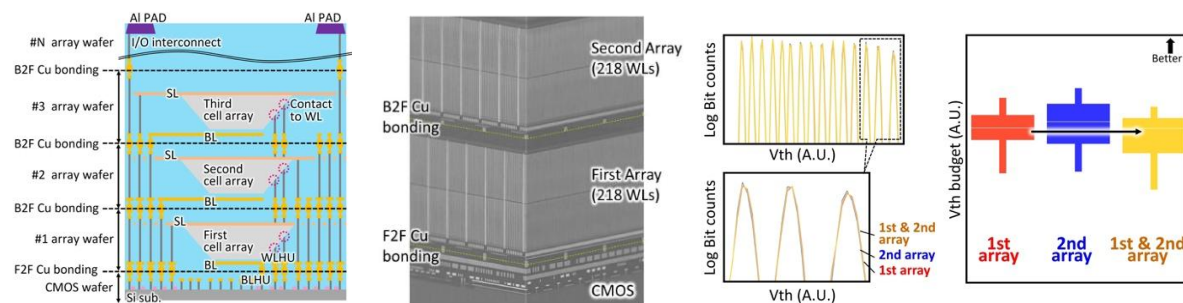
最新消息 — TSMC A16 埃米級 CMOS 技術：TSMC 將展示其 A16 平台技術，最新 GAA 技術採用背面供電解決方案，並結合新型的背面直接接觸技術，名為超級電軌 (SPR)。與 N2P (效能增強型 N2) 相比，A16 在相同功耗下速度提高 8%-10%，功耗降低 15%-20%，晶片密度提高 8%-10%。A16 的量產計畫於 2026 年第四季展開。(論文 T1.5, 「採用增強型奈米片電晶體的 A16 埃米級 CMOS 技術，具有超級電軌 (背面直接接觸供電) 功能，適用於 AI 與 HPC 應用」, G. Yeap 等人, TSMC)



圖：(左) A16-SPR 背面直接接觸 (VB) 供電示意圖 (中) SPR 製程示意圖和 A16 SPR TEM 顯示增強型奈米片電晶體，以及其背面直接接觸電源、正面/背面金屬與 3D MiM (右) 與採用 ARM 核心作為基準的 N2P 相比，A16 的密度高出 10%，速度更快。

記憶體技術

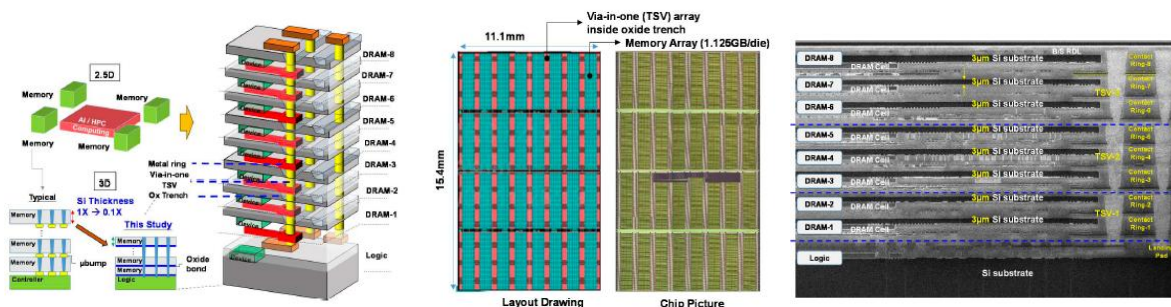
Kioxia/Sandisk 首款多層堆疊單元陣列中的四層單元： Kioxia 和 Sandisk 將共同展出世界上首款成功的四層單元 (QLC) 作業，即直接鍵合到陣列的多層堆疊單元陣列 CMOS (MSA-CBA)。這項突破克服了 3D 快閃記憶體高堆疊技術面臨的關鍵挑戰：單元電流衰減、晶圓翹曲和大區塊尺寸 (BLK) 尺寸。這些成果顯示，在實現具有超過 1,000 層堆疊結構的超高密度 3D 快閃記憶體方面已取得重大進展。(論文 T1.4, 「一種用於 1,000 字元線以上超高密度 3D 快閃記憶體的晶圓間銅直接鍵合多層堆疊單元陣列架構」, M. Noda 等人, Kioxia Corporation)



圖：(左) MSA-CBA 元件結構的概念圖，展示順序堆疊和鍵合過程 (中) FIB-SEM 影像顯示多層堆疊單元陣列，圖中可見兩個陣列晶圓已成功鍵合，各包含 218 個 WL，證明該方法在大規模堆疊中的效益 (右) 將第一和第二個單獨的單元陣列與整體 MSA-CBA 結構進行比較，結果顯示 BL 選擇型 MSA-CBA 中穩定的 V_{th} 特性和可靠的 QLC 運作。

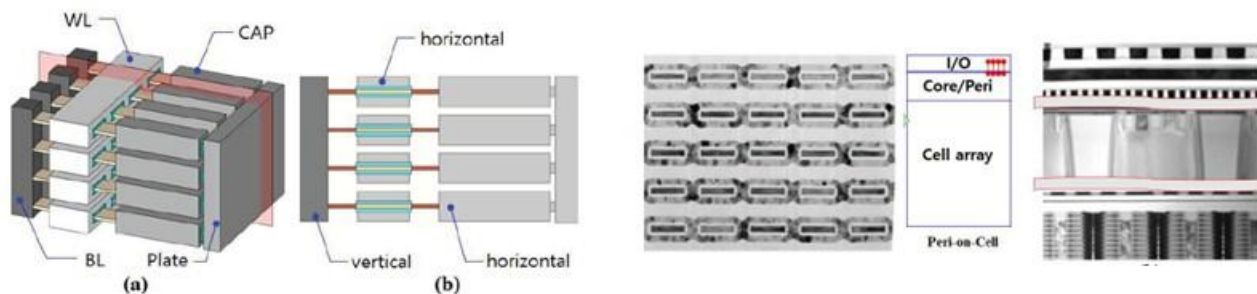
SAIMEMORY 團隊 3D HB DRAM： SAIMEMORY、Intel、PSMC 和 AP 的研究人員將展示在 3D 高頻寬 DRAM 中實現的多晶圓 via-in-one TSV 架構。8 層堆疊立方體中的每個金屬佈線層都直接連接到 TSV 匯流排，以提供更好的訊號和電源完整性。這種架構在低資料傳輸功率下提供卓越的

記憶體頻寬 (約 0.25Tb/s/mm^2)。(論文 T17.5, 「用於高頻寬 3D 記憶體的多層 (9 層)、超薄 (每堆疊 $3\mu\text{m-Si}$) 的創新熔融鍵合 via-in-one 架構」, C.-L. Lu 等人, SAIMEMORY Corporation)



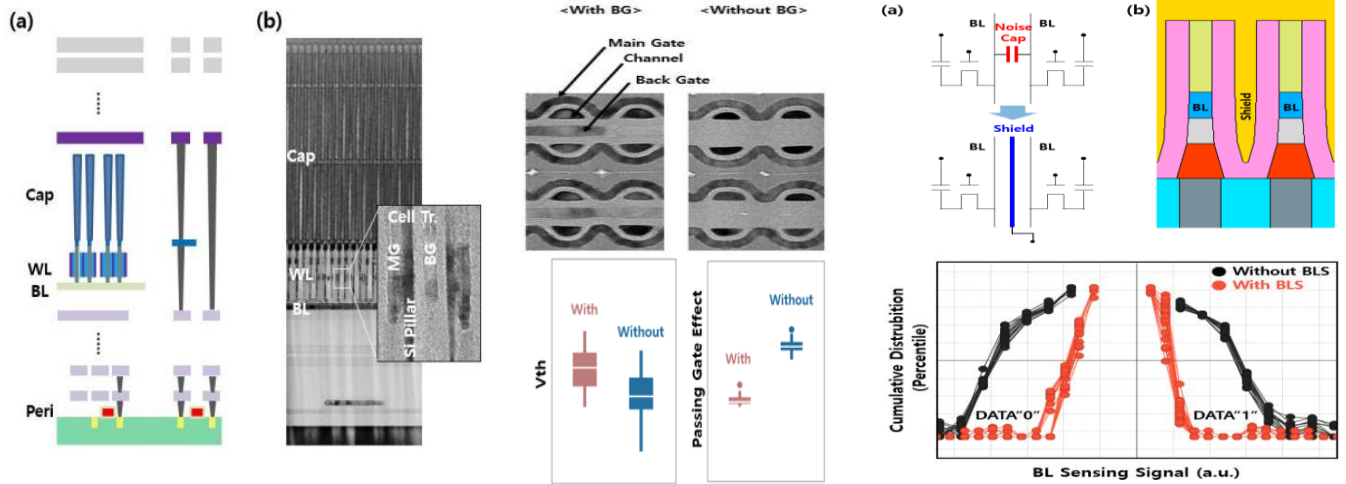
圖：(左) 比較採用 2.5D 封裝的微凸點典型記憶體與採用 via-in-one TSV 的熔融鍵合 3D 記憶體 (中) 3D 記憶體佈局圖和晶片顯微圖的俯視圖, 1.125GB 記憶體陣列由每個晶片 13.7K 個 via-in-one (TSV) 陣列組成 (右) 1+8 層堆疊邏輯/DRAM 架構的橫斷面影像, 每個 DRAM 中都形成了極薄的 Si 基板 ($\sim 3\mu\text{m}$)。Via-in-one 每組接觸 2 到 3 個金屬環。

Samsung 16 層 VS-DRAM：為了解決 10nm 製程節點之後 DRAM 微縮放能力的挑戰, Samsung 將展示一款採用閘極環繞式 (GAA) 單元電晶體 (CTR) 和水平儲存電容器 (CAP) 的 16 層垂直堆疊 DRAM (VS-DRAM)。此外, 他們也將透過在單獨的晶圓上製造核心/周邊元件並鍵合到單元晶圓上, 證明 Peri-on-Cell (PoC) 架構的可行性, 突顯其作為未來記憶體技術的可行候選方案。(論文 T5.1, 「用於微縮放演進的垂直堆疊 DRAM 技術」, S.U. Han, Samsung Semiconductor)



圖：(左) (a) VS-DRAM 示意圖的鳥瞰圖和 (b) 橫斷面圖, 其中 VS-DRAM 具有水平寫入線 (WL)、垂直位元線 (BL) 和水平電容器。(右) 製備之閘極環繞式元件的橫斷面 TEM 影像與 Peri-on-Cell (PoC) 的 TEM 影像, 強調 PoC 方法在 I/O 效率方面更優異。

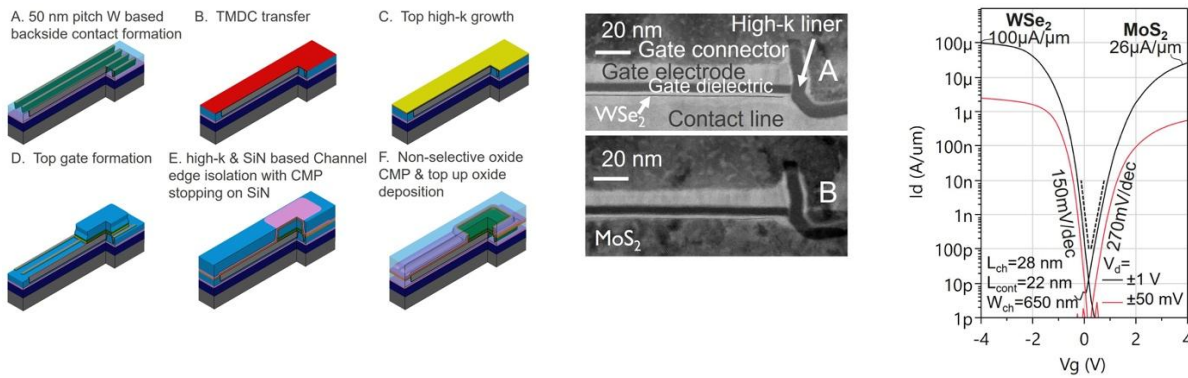
最新消息 – SK Hynix 4F^2 垂直閘極 (VG) DRAM：SK Hynix 將展現其 4F^2 垂直閘極 DRAM 的電氣特性, 其融合多項關鍵技術特性, 包括位元線遮蔽 (BLS) 以抑制耦合雜訊, 以及共用背閘極 (BG) 以強化閘值電壓 (V_{th}) 控制與通行閘極效應。為了支援晶圓鍵合結構中電路的可靠運作, 也採用了晶片薄化技術。目前已達成 4F^2 VG DRAM 單元電晶體的穩健效能與讀寫操作。(論文 T8.5, 「 4F^2 垂直閘極 (VG) DRAM 的電氣特性整合位元線遮蔽 (BLS) 與背閘極 (BG) 電晶體」, S. W. Chu 等人, SK Hynix)

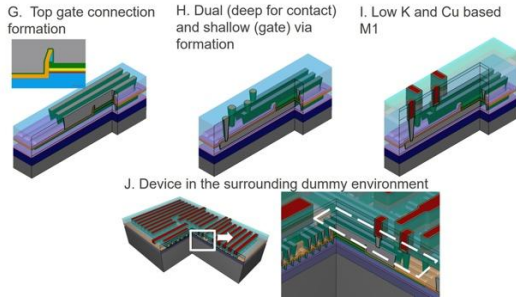


圖：(左) (a) 4F² VG DRAM 單元電晶體透過熔融晶圓鍵合與周邊元件整合的示意圖 (b) 4F² VG DRAM 的橫斷面 TEM 影像 (中) VG DRAM 陣列的 TEM 平面圖以及背閘極對 VG 單元電晶體功能的影響。(右) BLS 結構的概念設計與示意圖 - BLS 大幅改善 BL 感測故障

適用於 CMOS 微縮放和新元件裝置的製程與材料

2D 材料的 EUV 光刻技術： imec 將展示一種新型整合流程，用於具有 2D 材料通道的電晶體，流程運用 EUV 光刻和 300mm 晶圓廠製程。此方法能製造出接觸間距小至 50nm、有效寬度小至 75nm、等效氧化物厚度 (EOT) 約 2nm 的小型電晶體。此外，透過使用不同的通道材料 (NMOS 採用 MoS₂，PMOS 採用 WSe₂)，以晶片轉移或小晶圓轉移方法在同一晶圓上並排製造，實現了準 CMOS 整合。(論文 T1.3, 「首個採用 EUV 技術實現 50nm 間距 N 型和 PMOS 電晶體的 300mm 晶圓廠 2D 材料通道整合路徑」, T. Schram, imec)

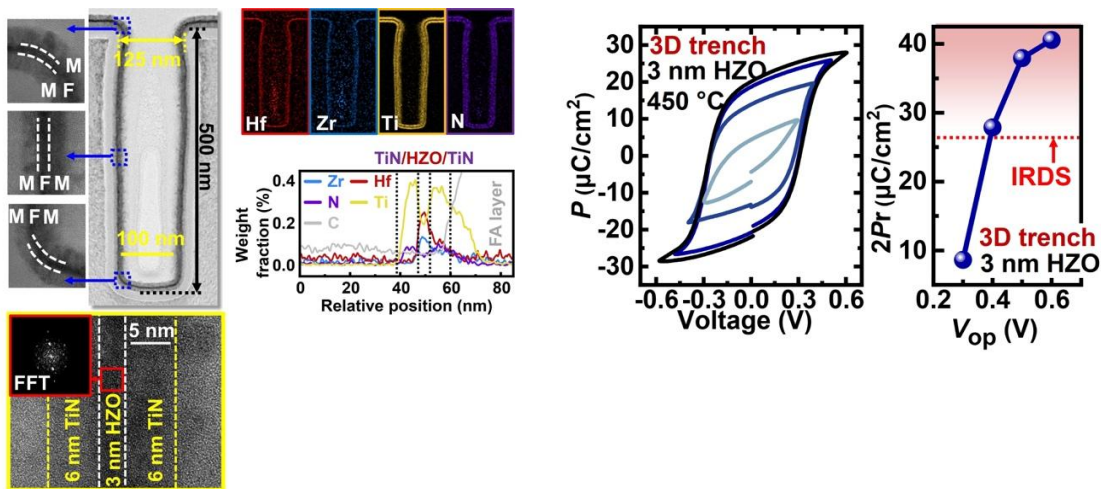




圖：(左) 提出之流程圖 (中) 所製備之過渡金屬二硫化物 (TMD) 材料 (NMOS 採用 WSe_2 ，PMOS 採用 MoS_2) 的橫斷面 STEM 影像。(右) 所製備之 NMOS 和 PMOS 元件的 I_d-V_g 特性。

元件物理、特性、建模和可靠性

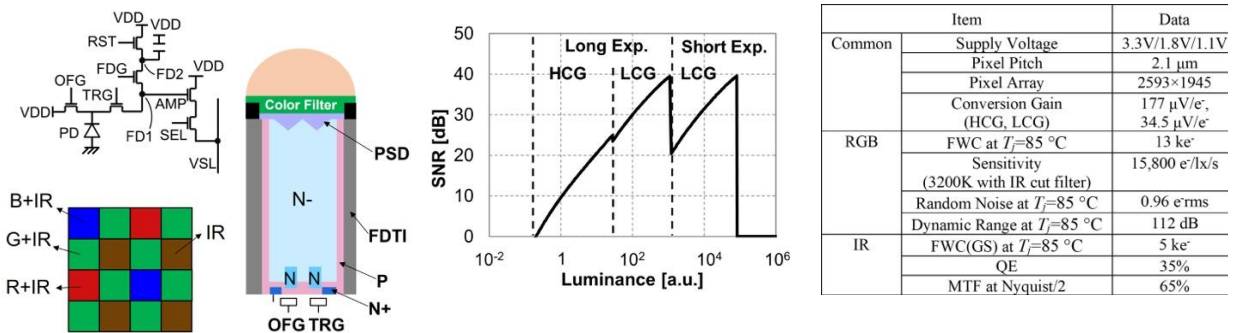
多所大學合作研究 3D MFM 電容器：新加坡國立大學、中國山東大學和新加坡科技研究局微電子研究院 (A*STAR Institute of Microelectronics) 將報告對具有 3nm 超薄 HZO 及方向可控 ALD-TiN 電極之 3D MFM (金屬-鐵電-金屬) 電容器的研究。在超低工作電壓下，ALD 沉積的 TiN/HZO/TiN 疊層表現出 $2P_r$ ，在 0.5V 下， $2P_r > 38 \mu\text{C}/\text{cm}^2$ ，在 0.4V 下， $2P_r > 28 \mu\text{C}/\text{cm}^2$ 。即使工作電壓降至 0.4V，結果也顯示仍然能夠滿足國際設備和系統路線圖 (IRDS) $2P_r$ 目標值 ($\geq 26.5 \mu\text{C}/\text{cm}^2$) 的要求。(論文 T5.3，「記錄透過 3nm HZO 與 ALD-TiN 取向工程實現的 3D MFM 電容器 $2P_r$ (在 0.5 V 時 $> 38 \mu\text{C}/\text{cm}^2$ ，在 0.4V 時 $> 28 \mu\text{C}/\text{cm}^2$)」，Y. Feng 等人，中國山東大學)



圖：(左) TEM 影像以及對所製備之 3D 溝槽 MFM 電容器的 FFT 與 EDX 分析 (深度：500nm；開口直徑：125nm)。(右) 在 450°C 退火、具有最佳化 TiN 取向的 3nm HZO 3D 溝槽鐵電電容器測得之 P_r-V 特性曲線。

感測器、成像器、物聯網、MEMS、顯示電路

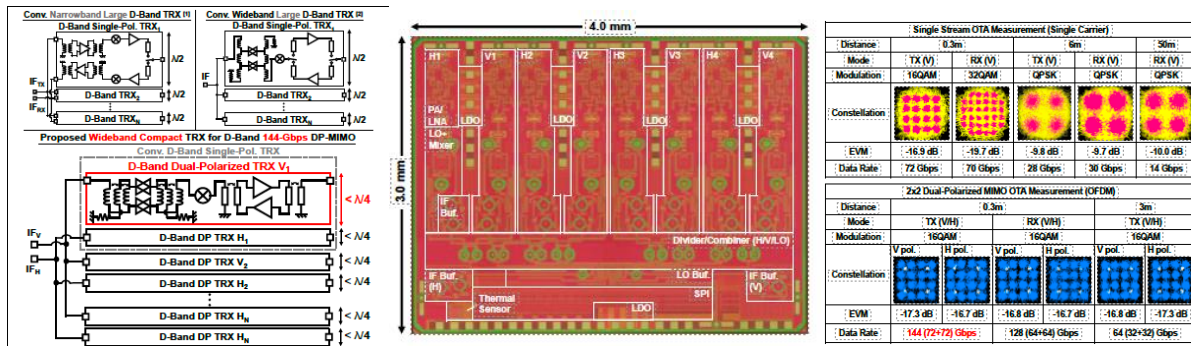
Sony RGB-IR 影像感測器：Sony 提出一款 $2.1\mu\text{m}$ RGB-IR CMOS 影像感測器，採用順序操作，結合了滾動式快門 (RS) 和全域快門 (GS) 模式，適用於車內應用。作為 RGB 感測器，其在 $T_j=85^\circ\text{C}$ 時實現 112dB 的動態範圍 (DR)，可提供高品質的可見光成像。紅外線感測器具有最先進的特性，調變轉換函數 (MTF) 為 65%，紅外線量子效率 (IR-QE) 為 35%，有助於在紅外線照明下進行視線偵測。此外，紅外線感測器效能優異，MTF 為 65%，IR-QE 為 35%。**(論文 T5.5, 「用於車內應用的 $2.1\mu\text{m}$ 像素間距 CMOS 影像感測器，具有 65% MTF/35% QE 紅外線全域快門和 RGB 滾動式快門順序操作」, M. Hiroki, Sony Semiconductor)**



圖：(左) 提出之感測器的像素示意圖與結構。RGB 濾鏡也具有紅外線靈敏度。(中) $T_j=85^\circ\text{C}$ 時 RGB 幀的 SNR 曲線，動態範圍為 112dB。(右) RGB 和 IR 模式下均達成良好的像素效能。

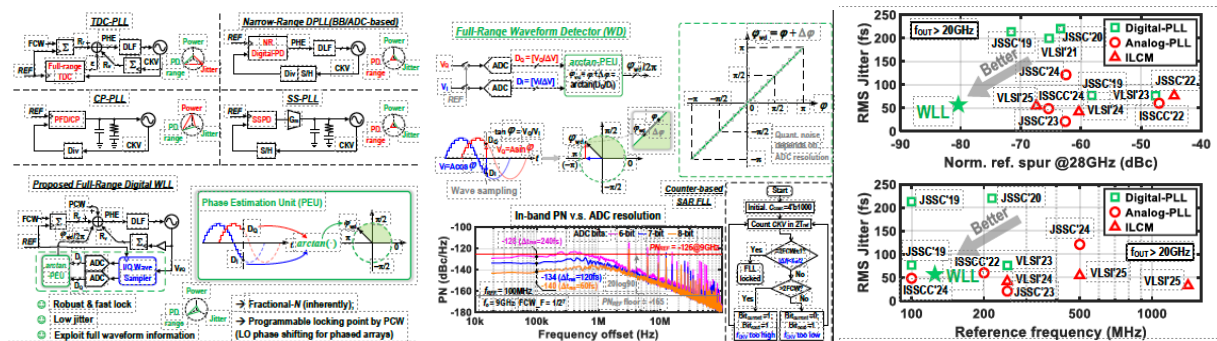
電路焦點

用於 6G UE 的 D 頻段雙極化 MIMO 相位陣列收發器：東京科學大學將推出全球首款採用 65nm CMOS 製程製造之 6G 使用者設備 D 頻段雙極化 (DP) MIMO 相位陣列收發器。每個 IC 都將四個垂直極化和四個水平極化 TRX 元件整合在一個精巧的 $3\text{mm} \times 4\text{mm}$ 晶片中，而帶有兩個 IC 的封裝天線模組可實現 8V+8H 元件操作。此收發器在 DP-MIMO 操作下，0.3 公尺處可實現 144Gbps 的最大資料速率，3 公尺處可達 64Gbps，並可實現長達 50 公尺的單流通訊，為未來的 6G 行動裝置展示一種高度整合且節能的 sub-THz 解決方案。**(論文 C1.5, 「用於 6G UE 的 65nm CMOS 144Gbps D 頻段雙極化 MIMO 高密度相位陣列收發器」, 22Yudai Yamazaki 等人, 東京科學大學)**



圖：(左) 提出之 D 頻段 DP-MIMO 相位陣列架構，強調用於垂直和水平極化的精簡 $\lambda/4$ TRX 整合。(中) 65nm CMOS 收發器晶片顯微圖，將 4V+4H TRX 元件整合到 3mm × 4mm 晶片中。(右) 測得之 OTA 效能最高可達 144Gbps DP-MIMO 資料速率和遠距離通訊能力。

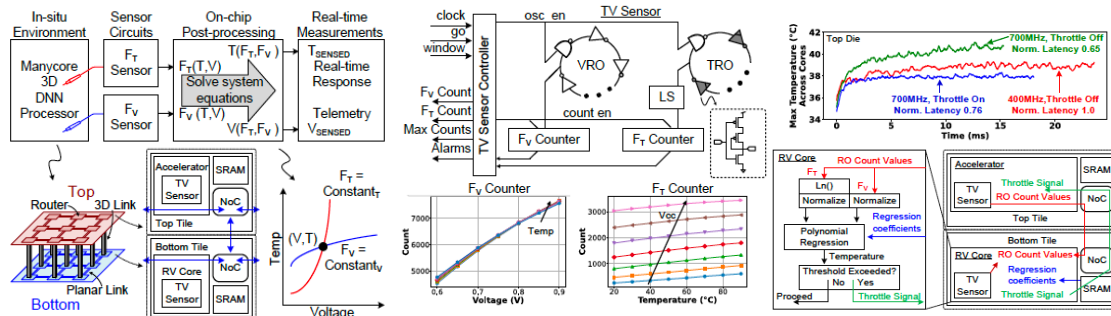
28GHz 數位鎖波迴路，具備整合 LO 移相功能：都柏林大學將展示一款 28GHz 正交數位鎖波迴路，可實現超低抖動、低參考雜散與快速鎖定，同時直接支援毫米波相位陣列的 LO 移相。基於波形的偵測器採用 I/Q 取樣與基於反正切的相位估計，可實現高解析度的全 2π 單調偵測，進而在 27.375GHz 達到 57.2fs_{rms} 抖動和 -80.6dBc 參考雜散。此外，此原型展示了完整的 360° LO 相移範圍，解析度為 2.8125°，跳頻為 ±1.5GHz，鎖定時間低於 0.59μs，顯示其合成器架構對於高度整合的毫米波 MIMO 系統極具吸引力。(論文 C4.4, 「一種實現 57.2-fs_{rms} 抖動、-80.6-dBc Spur_{ref}、0.59μs 接近整數鎖定時間的 28 GHz 正交 LO 相移數位鎖波迴路 (WLL)」, Feifan Hong 等人, 都柏林大學)



圖：(左) 傳統 PLL 架構與提出之波形式數位 WLL 架構的概念比較。(中) 基於反正切的波形偵測器，可實現高解析度的全 2π 相位偵測。(右) 比較 SoTA PLL 在 28GHz 時的抖動表現與標準化參考雜散，以及與參考頻率的關係。

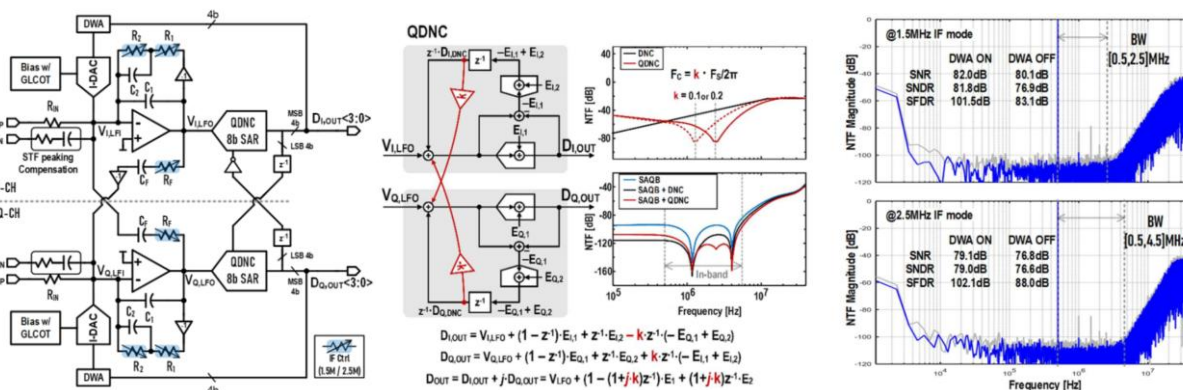
適用於先進 3DIC 的統一數位熱電壓感測器：Intel 將在 Intel 18A 和 Intel 3 推出用於熱管理的統一數位熱電壓感測器，感測器採用混合鍵合 3DIC DNN 處理器實現，感測器間距小於 216μm。此感測器採用兩個具有不同電壓和溫度靈敏度的數位實現環形振盪器，透過基於主成分分析的大量生產校準流程，在 Intel 18A 中實現 3.1°C/2.1mV 的不準確度，在 Intel 3 實現 1.9°C/1.3mV 的不準確

度。Intel 也展示了一種老化補償方案，可將壽命末期的精度恢復到接近全新狀態，以及即時熱遙測和逐核節流，此方案可將 DNN 工作負載延遲降低 24%，突顯針對密集型 3D AI 處理器的實用監測與控制解決方案。(論文 C10.5, 「用於 Intel 18A/Intel 3 熱管理的統一數位熱電壓感測器」, Shanshan Xie 等人, Intel Corporation)



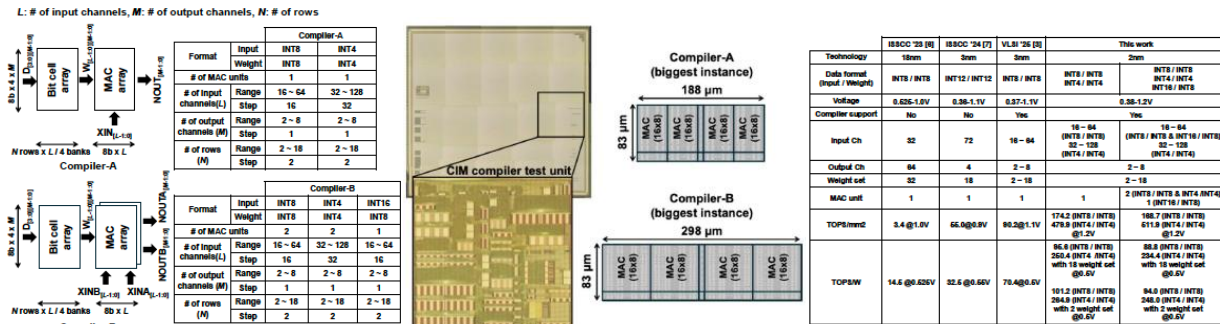
圖：(左) 在混合鍵合 3DIC DNN 處理器中放置分散式熱電壓感測器。(中) 基於雙環振盪器和片上處理的統一數位電視感測器架構。(右) 測得之系統級影響，顯示即時熱監控與動態節流可改善效能和熱控制。

採用 14nm FinFET 製程的穩健型低中頻正交 CT $\Delta\Sigma$ 調變器：Samsung Electronics 將推出一款採用 14nm FinFET 製程的可配置低中頻正交連續時間 delta-sigma 調變器，用於 1.5MHz 與 2.5MHz 中頻作業，目標頻寬模式為 2MHz 與 4MHz。此設計將單放大器正交雙二階濾波器與提出之正交數位雜訊耦合技術相結合，實現了六階雜訊整形，提高對製程變化的穩健性。原型採用 14nm FinFET 製造，在兩種運作模式下分別實現了 175.2dB 和 175.4dB 的峰值 FoM，而對 50 個晶片的測量顯示，效能變化限制在 ± 3 dB 以內，證明其為先進的藍牙低中頻接收器提供一種高度穩健的解決方案。(論文 C28.5, 「採用 14nm FinFET 製程、SAQB 和 QDNC 架構的穩健可配置 1.5MHz / 2.5MHz 中頻正交 CT $\Delta\Sigma$ 調變器，實現 175.4dB FoM」, Seong-Eun Cho 等人, Samsung Electronics)



圖：(左) 提出之採用 SAQB 與數位雜訊耦合的正交 CT $\Delta\Sigma$ 調變器架構。(中) 正交數位雜訊耦合 (QDNC) 機制可實現靈活的中頻運作和穩健的高階雜訊整形。(右) 測得之輸出頻譜顯示，兩種中頻模式均具有高 SNDR 與有效的頻內雜訊抑制。

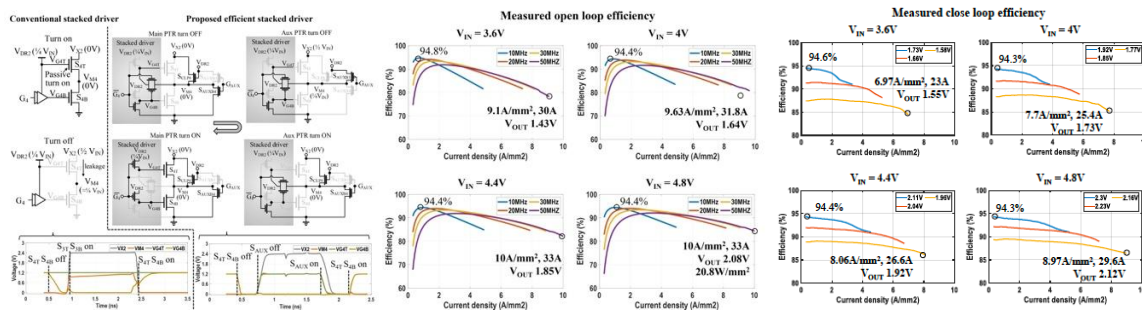
支援靈活資料格式的 2nm 數位記憶體內運算編譯器：TSMC 將推出一款 2nm 數位記憶體內運算編譯器，支援每權重多個 MAC 單元與多種資料格式，包括 INT8/INT8、INT4/INT4 和 INT16/INT8 作業。這款測試晶片採用奈米片技術， V_{MIN} 低於 0.38V，能效在 0.5V 時高達 234.4TOPS/W，運算密度在 1.2V 時高達 511.9TOPS/mm²。透過提供靈活的資料格式支援、編譯器級可配置性以及提高硬體利用率，這項研究展現了在先進邏輯節點中實現高效 AI 邊緣運算的高度可擴展路徑。**(論文 C8.1, 「2nm 234.4TOPS/W 和 511.9TOPS/mm² 數位記憶體內運算編譯器，提供多個 MAC 單元與多種資料格式支援」, Hidehiro Fujiwara 等人, TSMC)**



圖：(左) 2nm CIM 編譯器的概述，其支援多種資料格式與每權重多個 MAC 單元。(中) 包含 CIM 編譯器測試單元的 2nm 測試晶片。(右) 效能對比顯示，其能效與運算密度均達到最高水準，分別為 234.4 TOPS/W 與 511.9 TOPS/mm²。

電源管理裝置和電路

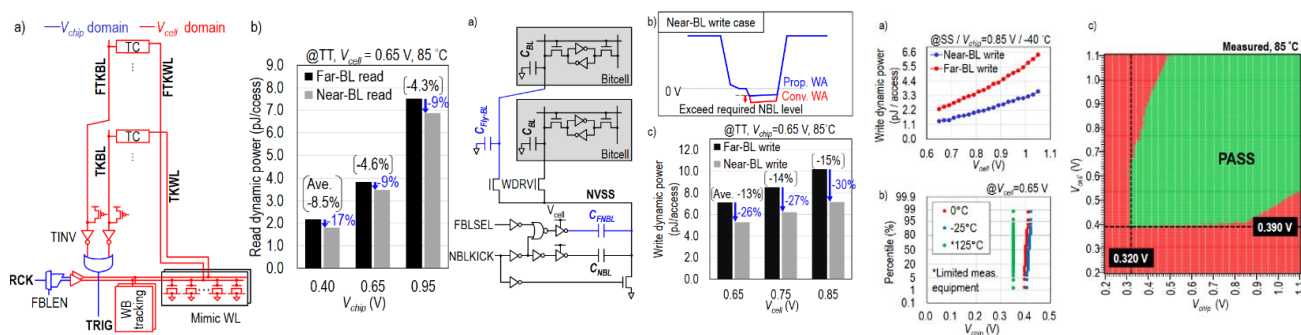
Intel 開關電容式電壓調節器：Intel 將推出一款單片第一級 2-1 開關電容式電壓調節器 (SCVR)，以推動 SoC 封裝 V_{IN} 達到 4.8V。其採用堆疊裝置和同步輔助功率轉換器，實現了自產生驅動電壓、高效開極驅動和安全啟動，達成 20W/mm² 的功率密度與 94.8% 的峰值效率。**(論文 C2.1, 「單片 20W/mm² 4.8V 輸入、94.8% 峰值效率、2-1 開關電容式電壓調節器作為垂直供電的第一級電流倍增器」, M. Gong 等人, Intel)**



圖：(左) 傳統堆疊元件開極驅動方案與提出之堆疊元件開極驅動方案的比較。(中) 測得之開路效率。(右) 測得之閉路效率。

記憶體技術、裝置、電路和架構

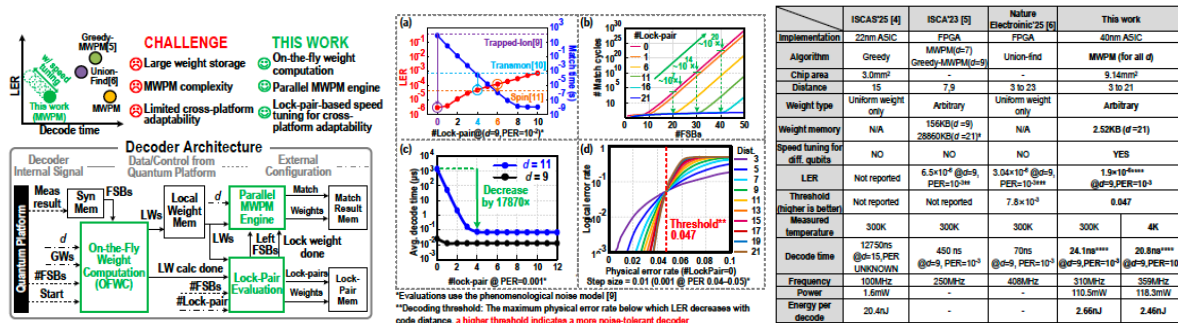
TSMC 2nm 雙軌 SRAM：TSMC 將展示一款節能型高密度 (HD) 6T 單埠 SRAM，採用列式存取感知讀取追蹤與寫入輔助 (WA) 電路。在讀取操作中，由於列式存取感知讀取追蹤及其最佳字元線 (WL) 停用時間，動態功耗最高可降低 8.7%，平均降低 8.5%。寫入操作中，平均動態功耗最高可降低 15%。採用 2nm 奈米片技術展示 539kbit 雙軌多陣列 SRAM 巨集架構，實現 37.42Mbit/mm² 的位元密度，在 125°C 下可實現 0.35 至 1.10V 的低電壓操作，以及 2.28pJ/access 的節能讀/寫操作。(論文 C29.1, 「一種 2nm 37.4 Mbit/mm² 雙軌 SRAM，具有列式存取感知讀取追蹤和寫入輔助電路，可實現 2.28pJ/Access 的節能操作」, R. Takamatsu 等人, TSMC)



圖：(左) 提出之列式存取感知讀取追蹤，a) 示意圖，b) 近 BL 讀取與遠 BL 讀取之間的讀取動態功率比較。(中) 提出之列式存取感知 WA 電路及其對寫入動態功耗的影響，a) 示意圖，b) NBL 波形，c) 近 BL 與遠 BL 的寫入功耗比較。(右) 測得之晶片資料，a) 測得之寫入動態功耗，b) V_{min} 分佈，c) V_{chip} 對 V_{cell} shmoo 圖。

適用於 ML/DL 和新運算的裝置與加速器

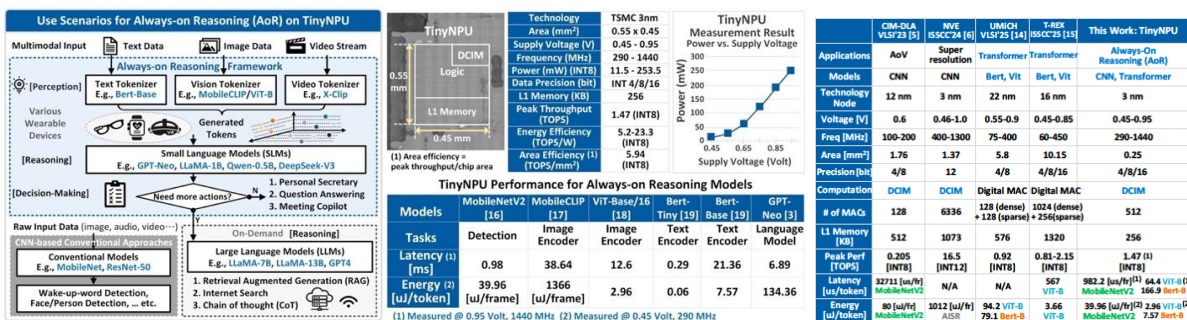
多所大學合作研究低溫 CMOS 表面碼解碼器：中國南方科技大學和日本高知工科學大學將報告一項關於低溫 CMOS 表面碼解碼器的研究，其支援最大距離 21 的全 MWPM (最小權重完美匹配)。設計採用即時權重計算，以減少 989 倍的權重記憶面積，使用平行匹配引擎實現全 MWPM，並以基於鎖對的速度調整實現跨平台速度適應性。40nm 測試晶片在 4K 解析度下實現了 1.9×10⁻⁶ 的邏輯錯誤率，解碼時間為 20.8ns，與現有技術相比，速度提高了 3.3 倍到 612 倍，每次解碼消耗 2.46nJ 的能量。(論文 C7.3, 「一種具有即時權重計算和跨平台適應性的全 MWPM 表面碼解碼器，在 4K 解析度下實現 1.9×10⁻⁶ 的邏輯錯誤率 (LER)，解碼時間僅 20.8 ns」, H. Lyu、Y. Chen 等人, 中國南方科技大學)



圖：(左) 提出之解碼器的主要優點與整體架構。(中) 測得之基於鎖對的速度調整 (a)；匹配週期相較於 FSB 數量 (b)；解碼時間 (c)；解碼閾值 (d)。(右) 效能總結與現有技術的比較。

處理器和 SoC

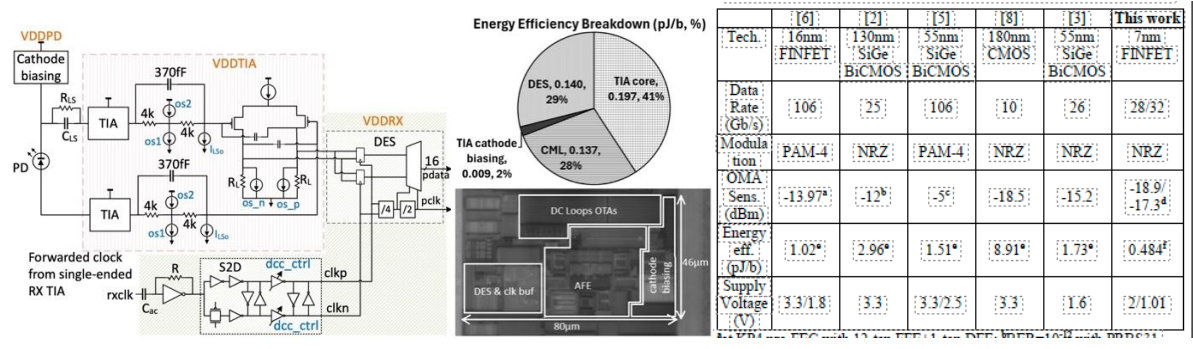
MediaTek Inc. TinyNPU：MediaTek 將推出首款商用 3nm 數位記憶體內運算 (DCIM) NPU，用於穿戴式裝置中的超低功耗永遠開啟推論 (Always-on reasoning, AoR)。其擁有 512 個 8 位元 MAC 和 256KB 晶片上記憶體，運算速度為 1.47TOPS。測量結果顯示，智慧眼鏡的電池續航時間長達 10 天，transformer 型號的能耗比最先進的產品降低了 31.8 倍，實現高效的新一代 AoR。(論文 C21.1, 「TinyNPU：一款 3nm 製程、功耗為 0.06-134.36 μ J/token 的 DCIM 超低功耗 NPU，適用於穿戴式裝置的永遠開啟推論」, Y. Hsieh、E. Chang、C. Teng 等人, MediaTek)



圖：(左) TinyNPU 使用場景。(中) 晶片顯微圖與測得之 TinyNPU 效能。(右) 效能總結與現有技術的比較。

有線和光學收發器、光學互連和處理器

NVIDIA 光接收器：NVIDIA 將推出一款 32Gb/s 光接收器，採用三維堆疊矽光子 (SiPh) 平台上的單電源差分跨阻放大器 (TIA)。光電二極體 (PD) 的接收靈敏度 (以光學調變振幅 [OMA] 表示) 在 32Gb/s 和 28Gb/s 時分別為 -17.3dBm 和 -18.9dBm。32Gb/s 時的能效為 0.484pJ/b。此接收器透過 Cu-Cu 混合鍵合方式，將一個 7nm FinFET CMOS 電子 IC (EIC) 堆疊於一個 65nm 矽光子 IC (PIC) 之上。(論文 C20.2, 「採用三維堆疊矽光子平台、靈敏度為 -17.3dBm 之差分 TIA 的 32Gb/s 光接收器」, G. Kalogerakis 等人, NVIDIA)



圖：(左) 提出之接收器電路圖，採用差分 TIA。(中) 晶片顯微圖與能效分解。(右) 效能總結與現有技術的比較。

###