



## 2026 年度 VLSI 技术与电路研讨会的技术要点

2026 年度 IEEE/JSAP VLSI 技术与电路研讨会是展示微/纳米电子领域的突破、进步和演变的顶级国际会议，定于 2026 年 6 月 14 日至 18 日举行。本次技术与电路联合研讨会将在美国夏威夷州火奴鲁鲁 Hilton Hawaiian Village 以线下方式举行，以便与会者有机会进行交流。研讨会结束后还会提供相关内容的按需点播。

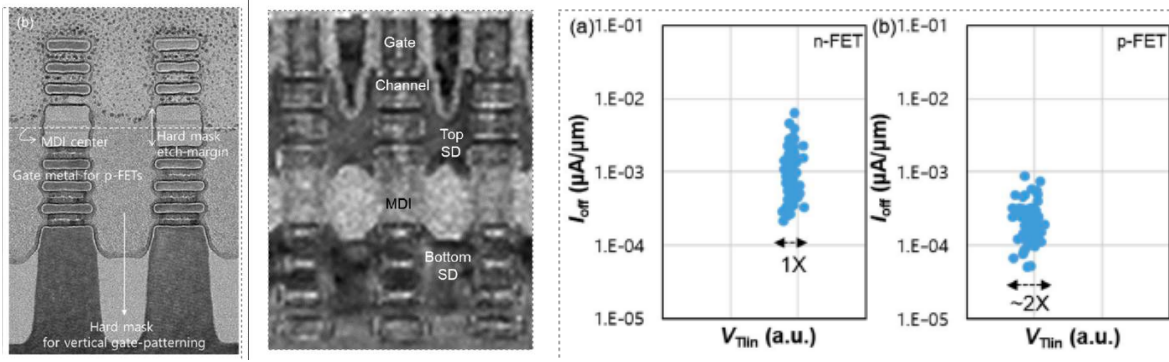
研讨会以“*通过 VLSI 创新推动 AI 前沿科技发展*”为总主题，旨在将先进技术发展、创新电路设计及其所能实现的应用整合在一起，努力促进全球向智能互联设备、节能基础设施和 AI 硬件系统所代表的新时代过渡，从而改变人类相互交流的方式。

以下是针对此主题的一些重点论文：

### 技术亮点

#### 先进 CMOS 技术

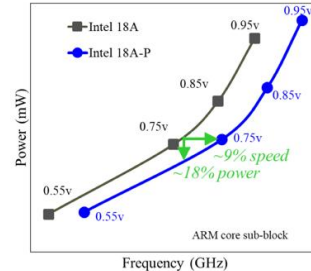
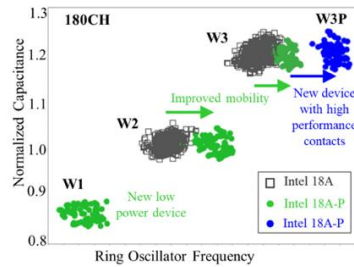
**三星 3D 堆叠 FET (3DSFET)，采用三层纳米片沟道：**三星公司首次展示一种采用三层堆叠纳米片沟道的 3D 堆叠 FET，它支持在同一晶圆上同时构建 n 型和 p 型 FET。这创下了 3D 堆叠 FET（即 CFET）中纳米片堆叠数量的最高纪录。此外，该研究实现了 42nm 的最小栅极间距，代表了迄今最激进且具产业化潜力的 CFET 微缩水平。（论文 T1.1，*“42nm 栅极间距的 3D 堆叠 FET 的首次展示，采用三层堆叠纳米片沟道，适用于先进逻辑应用”*，Donghoon Hwang 等，三星电子）



图：（左）形成适合 n 型和 p 型 FET 的栅极金属后的 TEM 图像。（中）最终制备的 3DSFET 的 TEM 图像，栅极间距为 42nm，具有三层堆叠纳米片沟道。（右）3DSFET 的电学特性：n-FET 和 p-FET 的  $I_{off}$  与  $I_{Dsat}$  的关系图。

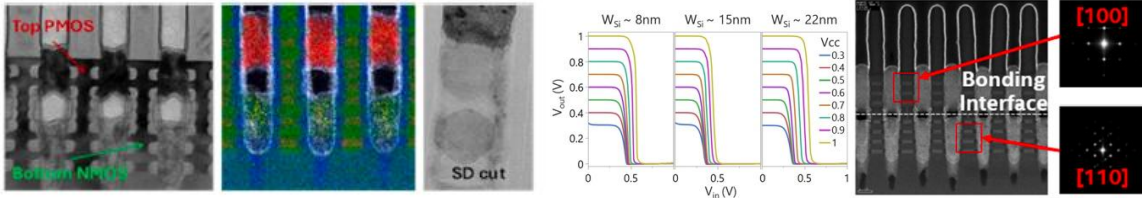
**英特尔 18A-P 先进 RibbonFET (GAA) 技术：** 英特尔公司将展示 18A 技术系列的首个性能增强版本。通过引入额外的逻辑 VT 对、收紧工艺偏差角、新增低功耗和高性能器件以及降低热阻，18A-P 在等功耗下实现了 9% 的性能提升，或在等性能下实现超过 18% 的能效提升。同时，SRAM  $V_{min}$  保持一致，逻辑负偏压温度不稳定性(NBTI)得到改善。18A-P 与 18A 设计兼容。（论文 T1.2, “英特尔 18A-P CMOS 技术增强：采用先进 RibbonFET (GAA) 晶体管 and PowerVia，适用于高性能计算”，A. Bowonder 等，英特尔晶圆代工）

	18A Feature List	18A-P Feature List
Performance @ Iso-Power	1x	9% Iso-Power Performance Gain
Contacted Poly pitch (nm)	50	50
Library Height (nm)	180 160	180 160
Transistor	Z2, Z3	Z1, Z2, Z3
	Z1, Z2, Z3	Z1.5 (Low Power) Z3P (HP contact)
VT	4 pairs of Logic VTs	5+ pairs of Logic VTs New Logic VT between LVT and LVT1 Lower ULVT
Skew corners		~30% tightening in skew corners
Interconnect RC	Intel 18A Blue Process	V0-V2 R reduction, M2-M4 jogs
Thermals		Improved thermal conductivity by 50%



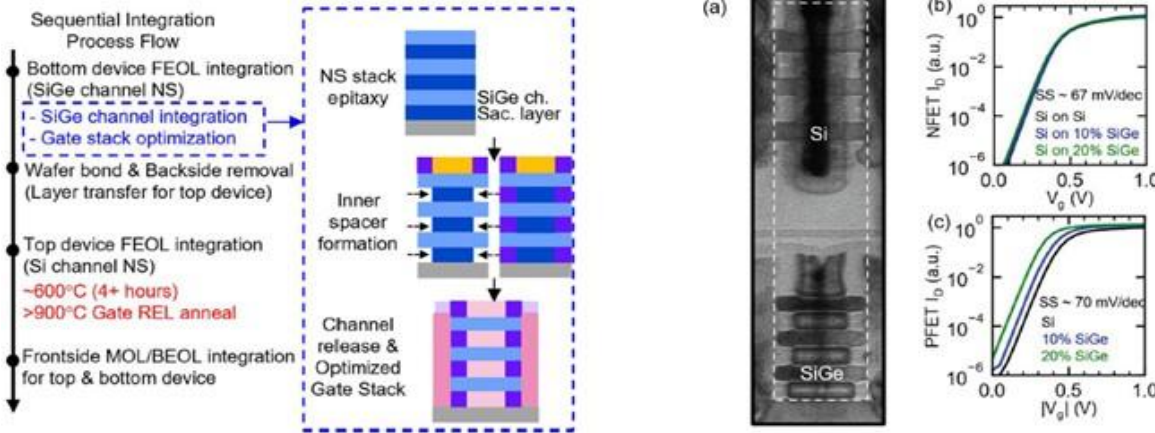
图：（左）英特尔 18A-P 新技术特性与英特尔 18A 的对比。（中）采用 18A-P 的新器件（低功耗和高性能）的性能。（右）在业界标准 ARM 核心子模块上，英特尔 18A-P 较英特尔 18A 展现出约 9% 的等功耗性能提升（在 0.75V 电压下）。

**英特尔 CFET 反相器，采用 2x2 RibbonFET：** 英特尔公司将展示其 CFET 技术的多项新特性，以最小的工艺风险实现最佳 PPA 改进。这些特性包括：45nm 栅极间距、PowerVia、直接背面触点、用于内部连接（连接顶部和底部器件）的外延到外延通孔，以及独特的“PMOS 在上、NMOS 在下”结构。此外，英特尔还将展示 PMOS Si (110) 位于 NMOS Si (100) 之上、中间介质隔离层(MDI)小于 10nm 的混合堆叠，其作用是增强 PMOS 性能。（论文 T5.2, “采用 2X2 RibbonFET 的 Si (110) 上 CFET 反相器演示：45nm 栅极间距，具备 PowerVia 和直接背面触点”，J. A. Wiedemer 等，英特尔公司）



图：（左）在 Si (110)衬底上完成垂直双外延后，接触多晶硅间距 CPP=45nm 的双 Ribbon CFET 器件的 TEM 显微照片——这是首个将 PMOS 置于上方的 CFET 技术。（中）CFET 反相器的电压传输特性(VTC)：CPP=45nm，Si (110)晶圆上，VCC 范围为 0.3V 至 1V；代表迄今 CFET 技术的最高水平。（右）采用相同单片 CFET 工艺加工的键合晶圆的 EM 显微照片，呈现了 Si (110)和 Si (100)的沟道取向。

**IBM 耐高温 SiGe 纳米片 PFET：**IBM 将展示 SiGe 纳米片(NS)替代金属栅极(RMG) PFET，其高温稳定性超过 900°C，并通过顶部为 Si NFET、底部为 SiGe PFET 的顺序集成进行了验证。已证实所制备的 PFET 器件表现出优异的  $I_d-V_g$  特性，亚阈值斜率为 70mV/dec。这些成果为多层顺序集成铺平了道路。（论文 T5.4, “迈向多层顺序集成的耐高温 SiGe 纳米片 PFET RMG”，N. Shanker 等, IBM 研究院）



图：（左）堆叠 FET 的高层次集成工艺流程：底部为 SiGe GAA NS 沟道，顶部为 Si GAA NS 沟道。（右）堆叠 Si NFET 在热稳定 SiGe PFET 上的截面 TEM 图像，展现出优异的重叠性。Si、10% SiGe 和 20% SiGe 器件在完整顺序集成后的  $I_d-V_g$  曲线。所有 PFET 器件的亚阈值斜率均约为 70 mV/dec，表明 SiGe 沟道器件未因界面陷阱而产生额外的性能退化。

**延期投稿论文 - 台积电 A16 埃米级 CMOS 技术：**台积电将展示其 A16 平台技术——这是台积电最新的 GAA 工艺，引入了一项名为超级电源轨（Super Power Rail, SPR）的新型背面直接接触结构，实现了背面供电方案。与 N2P（N2 性能增强版）相比，A16 在相同功耗下速度再提升 8%-10%，或在相同性能下功耗降低 15%-20%，同时芯片密度额外提高 8%-10%。A16 预计于 2026 年

第四季度投入量产。(论文 T1.5, “A16 埃米级 CMOS 技术: 采用增强型纳米片晶体管, 具有超级电源轨 (背面直接接触供电), 适用于 AI 和 HPC 应用”, G. Yeap 等, 台积电)

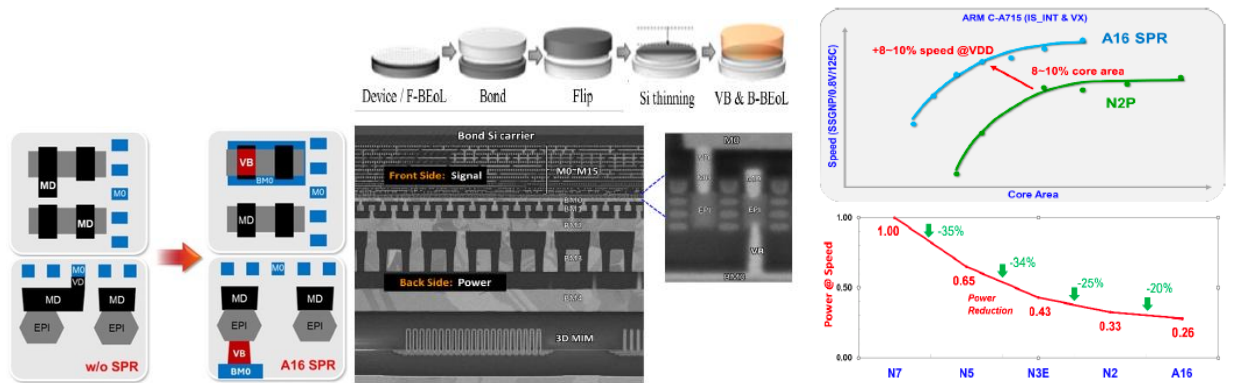


图: (左) 采用背面直接接触(VB)供电的 A16-SPR 示意图。(中) SPR 工艺流程示意图和 A16 SPR TEM 图像, 展示了增强型纳米片晶体管及其背面直接接触供电结构、正面/背面金属层和 3D MiM。(右) 基于 ARM 核心的基准测试: A16 密度比 N2P 高出多达 10%, 且速度更快。

## 内存技术

**铠侠/闪迪首次实现多层堆叠单元阵列的四级单元:** 铠侠和闪迪将联合展示一项全球首创成果: 在直接键合到阵列的多层堆叠单元阵列 CMOS (MSA-CBA) 中, 成功实现四级单元(QLC)运行。这项突破攻克了 3D 闪存高堆叠的关键挑战: 单元电流衰减、晶圆翘曲和大块(BLK)尺寸。此成果标志着超高密度 3D 闪存向超过 1,000 层堆叠迈出了关键一步。(论文 T1.4, “一种多层堆叠单元阵列架构: 采用晶圆到晶圆铜直接键合, 用于实现 1000 字线以上的超高密度 3D 闪存”, M. Noda 等, 铠侠公司)

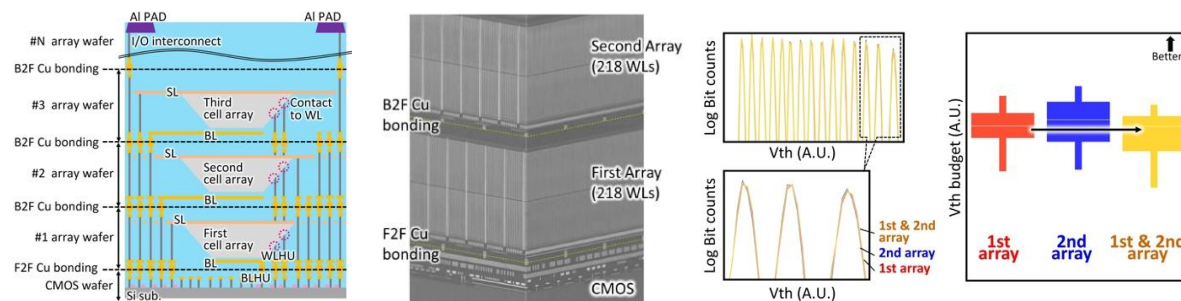
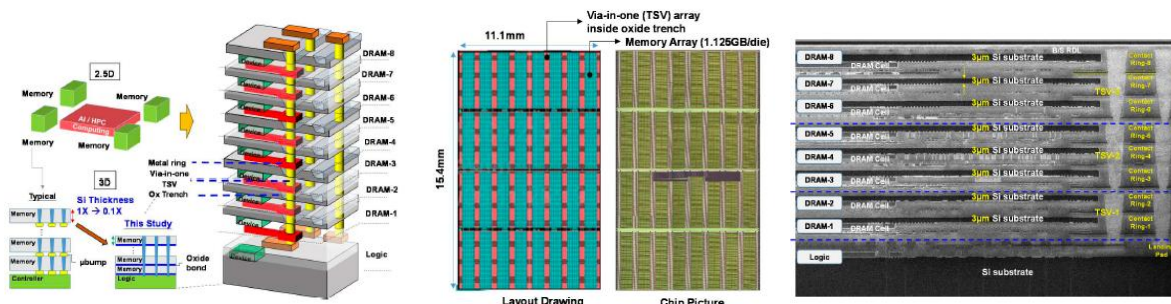


图: (左) MSA-CBA 器件结构概念图, 展示了顺序堆叠和键合过程。(中) 多层堆叠单元阵列的 FIB-SEM 图像, 图中可见两个阵列晶圆已成功键合, 每个晶圆具有 218 字线(WL), 证明了该方法在大规模堆叠中的有效性。(右) 第一和第二单元阵列与 MSA-CBA 整体结构的对比, 结果表明  $V_{th}$  特性稳定, QLC 在 BL 选择型 MSA-CBA 中运行可靠。

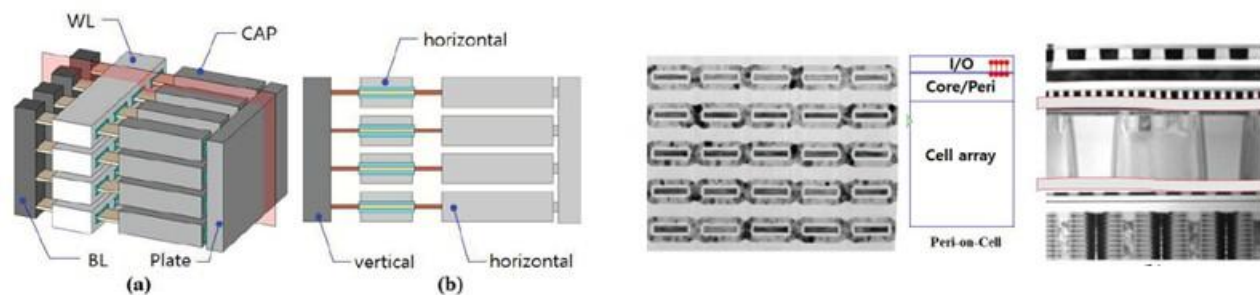
**SAIMEMORY 团队 3D HB DRAM:** 来自 SAIMEMORY、英特尔、PSMC 和 AP 的研究人员将展示一种在 3D 高带宽 DRAM 中实现的多晶圆一体式通孔(via-in-one) TSV 架构。在由 8 层堆叠构成

的存储立方体中，各金属布线层均直接接入 TSV 总线，从而提升信号完整性和电源完整性。该架构以较低的数据传输功耗实现了出色的内存带宽（约  $0.25\text{Tb/s/mm}^2$ ）。（论文 T17.5, “多晶圆（9 层）、超薄（每堆叠  $3\mu\text{m-Si}$ ）、创新的熔融键合一体式通孔架构，适用于高带宽 3D 内存”，C.-L. Lu 等, SAIMEMORY 公司）



图：（左）采用 2.5D 封装的典型微凸点内存与采用一体式通孔 TSV 的熔融键合 3D 内存的对比。（中）3D 内存版图设计俯视图和芯片显微照片——1.125GB 内存阵列的每个裸片包含 13.7K 一体式通孔 TSV 阵列。（右）1+8 层堆叠逻辑/DRAM 架构的截面图像——每个 DRAM 中都形成了极薄 Si 衬底（约  $3\mu\text{m}$ ）。一体式通孔接触每组中的 2 到 3 个金属环。

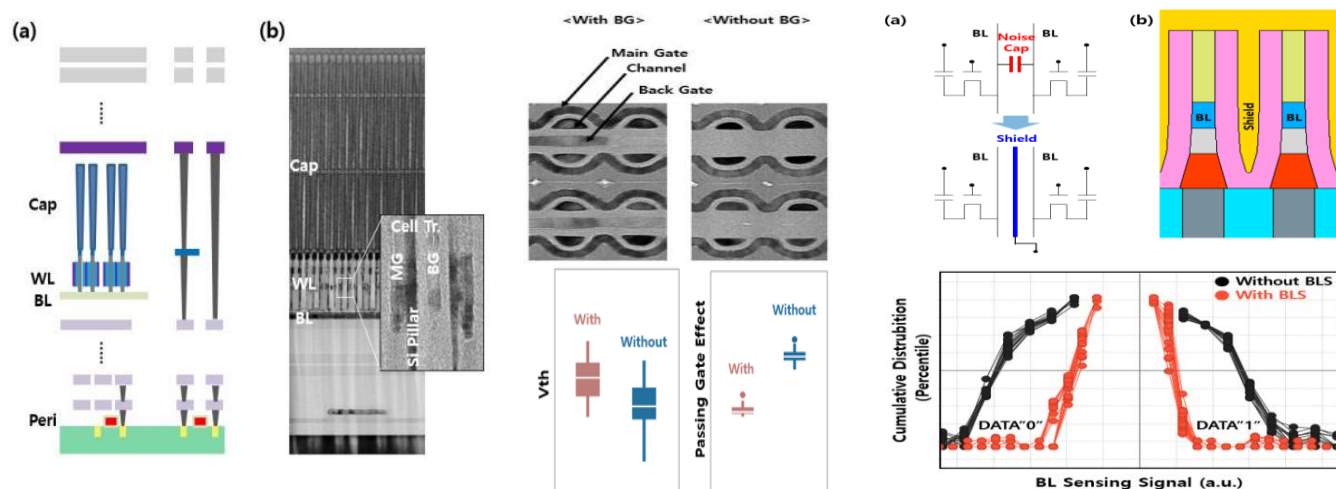
**三星 16 层 VS-DRAM:** 为应对 DRAM 在 10nm 节点之后的微缩挑战，三星公司将展示一种采用全环绕栅极(GAA)单元晶体管(CTR)和水平储能电容(CAP)的 16 层垂直堆叠 DRAM (VS-DRAM)。此外，三星还在独立晶圆上制造核心/外围器件，再将其键合到单元晶圆上，以此验证外围在单元之上（Peri-on-Cell, PoC）架构的可行性——这一成果使 PoC 有望成为未来内存技术的候选方案。（论文 T5.1, “推动缩放演进的垂直堆叠 DRAM 技术”，S.U. Han, 三星半导体）



图：（左）VS-DRAM 结构示意的(a)鸟瞰图和(b)截面图，展示了水平写线(WL)、垂直位线(BL)和水平电容。（右）所制备 GAA 器件的截面 TEM 图像和 PoC 的 TEM 图像，突出展示了 PoC 方法在 I/O 效率方面更优。

**延期投稿论文 - SK 海力士  $4\text{F}^2$  垂直栅极(VG) DRAM:** SK 海力士将展示其  $4\text{F}^2$  垂直栅极 DRAM 的电气特性。该 DRAM 具备多项关键技术特性：位线屏蔽(BLS)用于抑制耦合噪声，共享背栅(BG)用于增强阈值电压( $V_{th}$ )控制并改善导通栅(passing gate)效应。此外，芯片减薄技术的引入保障了晶圆键合结构中电路的可靠运行。 $4\text{F}^2$  VG DRAM 实现了稳健的单元晶体管和读写操作性能。（论文

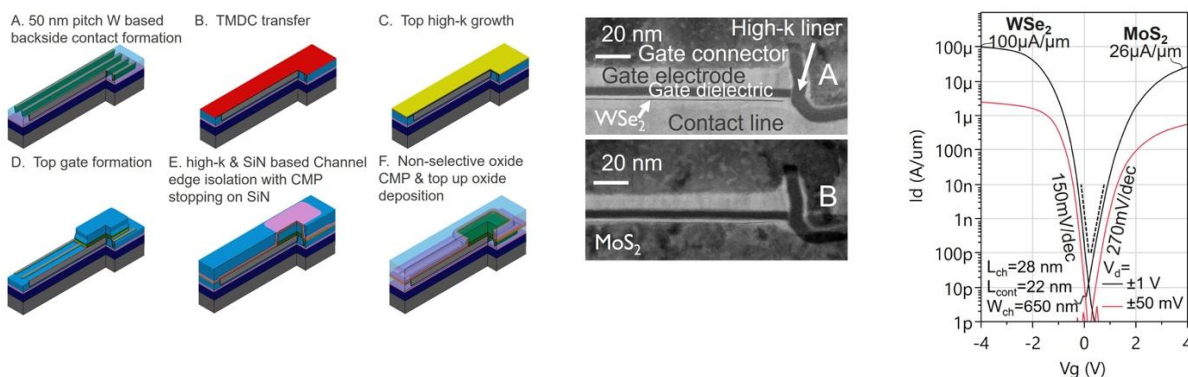
T8.5, “集成位线屏蔽(BLS)和背栅(BG)晶体管的4F2 垂直栅极(VG) DRAM 的电气特性”, S. W. Chu 等, SK 海力士)

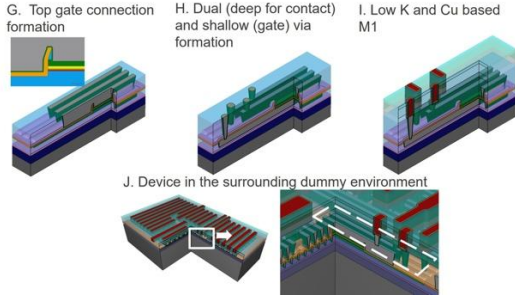


图：(左) (a) 4F<sup>2</sup> VG DRAM 单元晶体管通过熔融晶圆键合与外围器件集成的示意图；(b) 4F<sup>2</sup> VG DRAM 的截面 TEM 图像。(中) VG DRAM 阵列的 TEM 平面图，以及背栅对 VG 单元晶体管功能的影响。(右) BLS 结构的概念设计和示意图 - BLS 显著改善了 BL 检测失效问题。

## CMOS 缩放工艺及材料和新器件

**二维材料的 EUV 光刻技术：** imec 将展示一种面向二维材料沟道晶体管的新型集成流程，采用 EUV 光刻和 300mm 晶圆厂工艺。该方法成功实现了微缩晶体管的制造：接触间距最小达到 50nm，有源区宽度最小达到 75nm，等效氧化层厚度(EOT)约为 2nm。此外，团队通过在同一晶圆上分别采用不同沟道材料——NMOS 用 MoS<sub>2</sub>、PMOS 用 WSe<sub>2</sub>——并借助裸片或小晶圆转移方法，实现了准 CMOS 集成。(论文 T1.3, “首条基于 EUV、在 300mm 晶圆厂实现 50nm 间距的二维材料沟道 NMOS 与 PMOS 晶体管的集成路线”, T. Schram, imec)

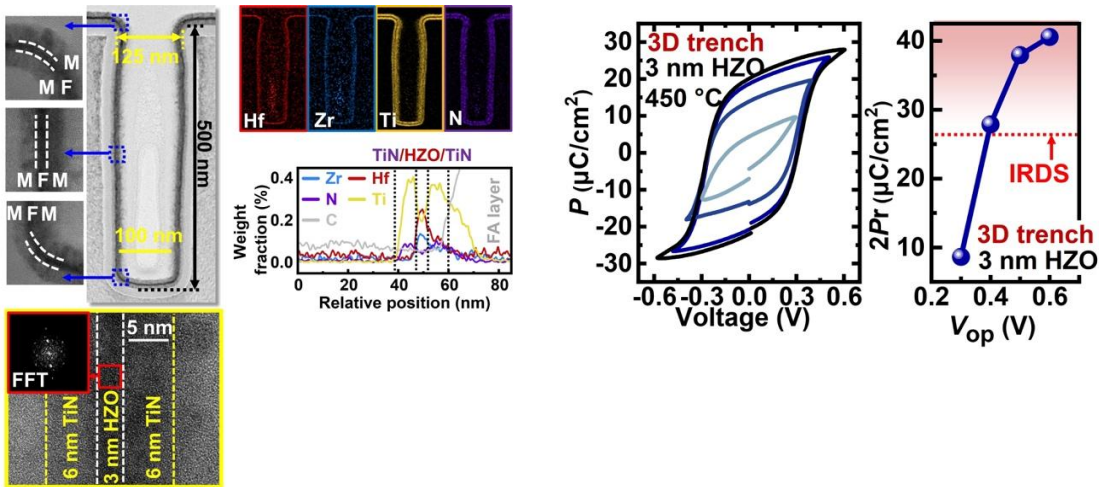




图：（左）所提出的工艺流程。（中）制备的过渡金属二硫化物(TMD)材料的截面 STEM 图像（NMOS 用  $WS_e_2$ ，PMOS 用  $MoS_2$ ）。（右）所制备 NMOS 和 PMOS 器件的  $I_d-V_g$  特性。

### 器件物理、表征、建模与可靠性

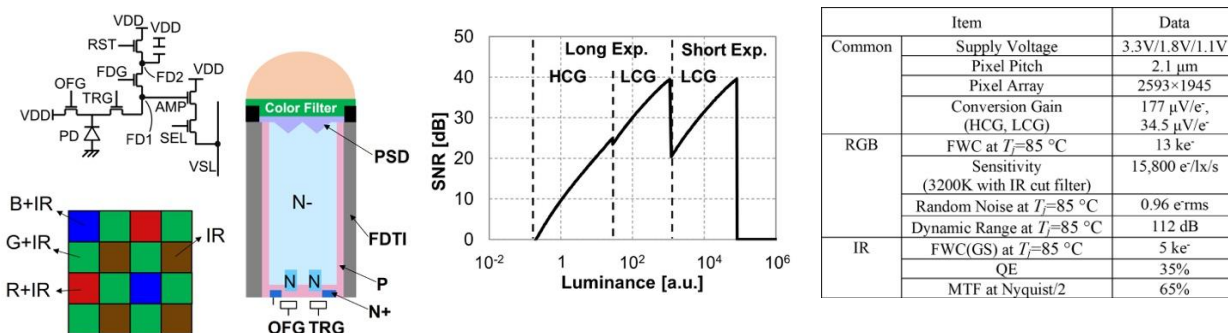
多所大学合作研究 3D MFM 电容：新加坡国立大学、山东大学和 A\*STAR 微电子研究所将联合报告 3D MFM（金属-铁电-金属）电容器的研究成果。该器件采用 3nm 超薄 HZO 铁电层，并搭配取向调控 ALD-TiN 电极。ALD 沉积的 TiN/HZO/TiN 叠层在超低工作电压下表现出  $2P_r$  特性：0.5V 时  $2P_r > 38\mu C/cm^2$ ，0.4V 时  $2P_r > 28\mu C/cm^2$ 。即使在 0.4V 的工作电压下，性能仍满足国际器件与系统路线图(IRDS)设定的  $2P_r$  目标 ( $\geq 26.5\mu C/cm^2$ )。（论文 T5.3, “3D MFM 电容器的创纪录  $2P_r$  (0.5V 时  $> 38\mu C/cm^2$ 、0.4V 时  $> 28\mu C/cm^2$ )，通过 3nm HZO 和 ALD-TiN 取向工程实现”，Y. Feng 等，山东大学）



图：（左）所制备 3D 沟槽 MFM 电容器的 TEM 图像以及 FFT 和 EDX 分析（深度：500nm；开口直径：125nm）。（右）基于 3nm HZO 的 3D 沟槽 FE 电容器在 450°C 退火、TiN 取向优化后的实测  $P_r-V$  特性回线。

## 传感器、成像仪、物联网、MEMS、显示电路

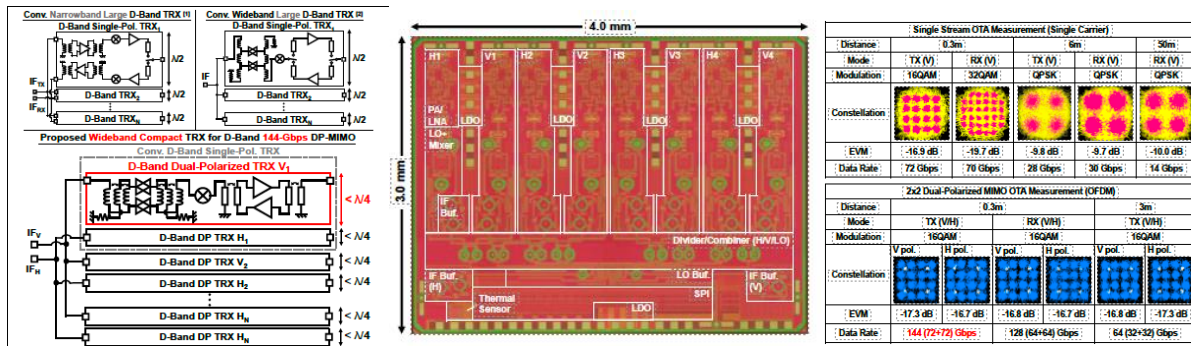
**索尼 RGB-IR 图像传感器：**索尼提出一种面向座舱应用的  $2.1\mu\text{m}$  RGB-IR CMOS 图像传感器，采用顺序操作机制，将卷帘快门(RS)和全局快门(GS)两种模式融为一体。作为 RGB 传感器，其在  $T_j=85^\circ\text{C}$  时实现了 112dB 的动态范围(DR)，支持高质量可见光成像。作为 IR 传感器，其性能达到业界领先水平：调制传递函数(MTF)为 65%，红外量子效率(IR-QE)为 35%，可在红外照明下实现视线检测。此外，IR 传感器性能表现优异，MTF 为 65%，IR-QE 为 35%。*(论文 T5.5, “面向座舱应用的  $2.1\mu\text{m}$  像素间距 CMOS 图像传感器, 65% MTF/35% QE IR 全局快门和 RGB 卷帘快门顺序操作”, M. Hiroki, 索尼半导体)*



图：(左) 所提出传感器的像素示意图和结构。RGB 滤光片同样具备红外灵敏度。(中) RGB 帧在  $T_j=85^\circ\text{C}$  时的 SNR 曲线，实现了 112dB 的动态范围。(右) RGB 和 IR 两种模式下均取得了良好的像素性能。

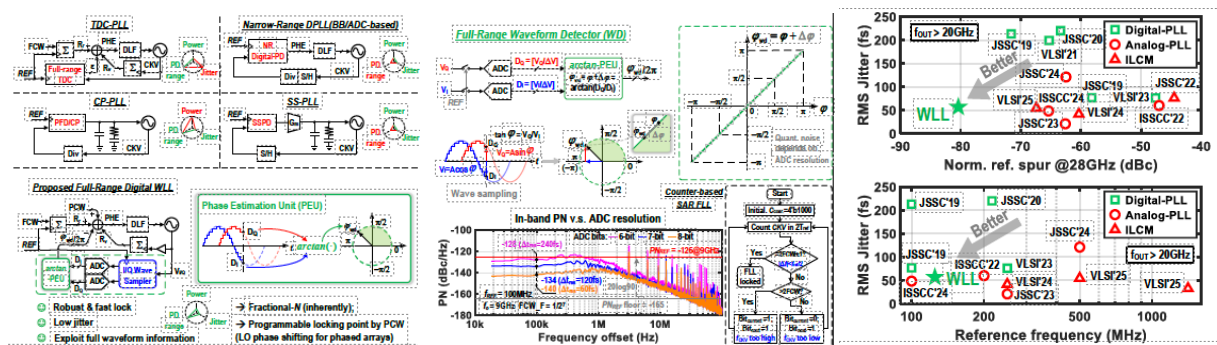
## 电路亮点

**面向 6G UE 的 D 频段双极化 MIMO 相控阵收发器：**东京科学大学将展示全球首款用于 6G 用户设备的 D 频段双极化(DP) MIMO 相控阵收发器，采用 65nm CMOS 工艺。每颗 IC 在紧凑的  $3\text{mm} \times 4\text{mm}$  面积内集成了四个垂直极化和四个水平极化收发单元。含两个 IC 的封装天线模块支持 8V+8H 元件操作。该收发器在 DP-MIMO 工作模式下，0.3m 距离的最大数据速率为 144Gbps，3m 距离为 64Gbps；单流通信距离长达 50m。这一成果为未来 6G 移动设备提供了一种高集成度、高能效的亚太赫兹解决方案。*(论文 C1.5, “面向 6G UE、采用 65nm CMOS 工艺的 144Gbps D 频段双极化 MIMO 高密度相控阵收发器”, 22Yudai Yamazaki 等, 东京科学大学)*



图：(左) 所提出的 D 频段 DP-MIMO 相控阵架构，突出展示了用于垂直和水平极化的紧凑  $\lambda/4$  TRX 集成。(中) 65nm CMOS 收发器裸片显微照片，3mm × 4mm 芯片内集成了 4V+4H 收发单元。(右) 实测 OTA 性能：高达 144Gbps 的 DP-MIMO 数据速率和长距离通信能力。

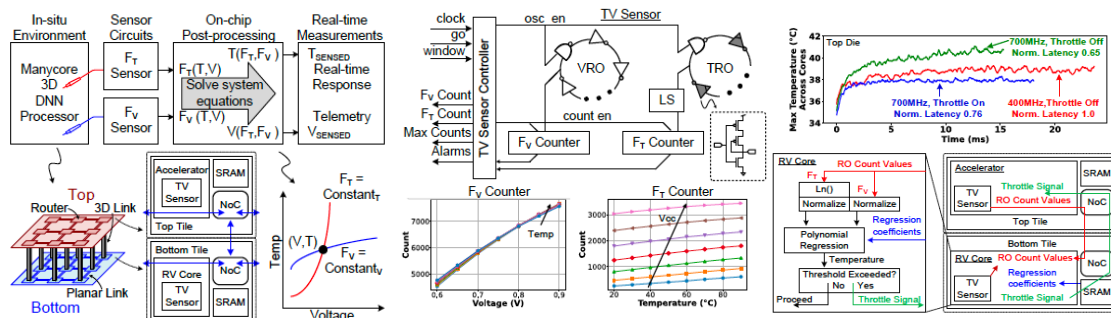
**28GHz 数字锁波环，集成 LO 移相功能：**都柏林大学将展示一种 28GHz 正交数字锁波环。它在实现超低抖动、低参考杂散和快速锁定的同时，直接支持毫米波相控阵的 LO 移相。基于波形的鉴相器利用 I/Q 采样和基于反正切的相位估计，可在完整  $2\pi$  范围内实现高分辨率的单调鉴相：在 27.375GHz 下抖动为 57.2fs<sub>rms</sub>，参考杂散为 -80.6dBc。此外，该原型展现出 2.8125° 分辨率的 360° 全范围 LO 移相能力，以及  $\pm 1.5$ GHz 跳频能力，锁定时间低于 0.59 $\mu$ s。这些指标使该架构成为高集成度毫米波 MIMO 系统中有竞争力的频率合成器方案。(论文 C4.4, “一种 28-GHz 正交 LO 移相数字锁波环(WLL): 抖动 57.2-fs<sub>rms</sub>、参考杂散 80.6-dBc、近整数锁定时间 0.59 $\mu$ s”, Feifan Hong 等, 都柏林大学学院)



图：(左) 传统 PLL 架构与所提出的基于波形的数字 WLL 架构的概念比较。(中) 基于反正切的波形鉴相器，实现了高分辨率的完整  $2\pi$  鉴相。(右) 当前最先进 PLL 的对比：抖动性能与 28GHz 下归一化参考杂散的关系，以及抖动性能与参考频率的关系。

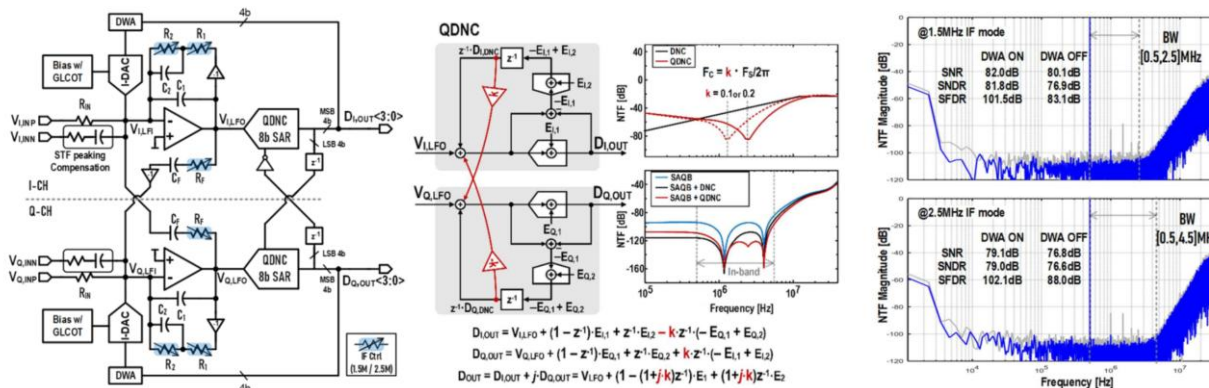
**适用于先进 3DIC 的统一数字热-电压传感器：**英特尔公司将展示一种统一数字热-电压传感器，用于 Intel 18A 和 Intel 3 工艺节点的热管理。该传感器已在混合键合 3DIC DNN 处理器中实现，传感器间距小于 216 $\mu$ m。通过采用两个对电压和温度敏感度不同的数字环形振荡器，并结合基于主成分分析的大批量生产校准流程，该传感器在 Intel 18A 工艺中实现了 3.1°C/2.1mV 的误差，在 Intel

3 工艺中实现了 1.9°C/1.3mV 的误差。英特尔公司同时展示了一种老化补偿机制，可在器件寿命末期将精度恢复至接近初始水平。此外，通过引入实时热遥测和基于每个核心的动态限频，DNN 工作负载延迟降低了 24%。这些结果共同表明，该传感器为高密度 3D AI 处理器提供了一种实用的监测与控制解决方案。（论文 C10.5, “用于 Intel 18A/Intel 3 热管理的统一数字热-电压传感器”，Shanshan Xie 等，英特尔公司）



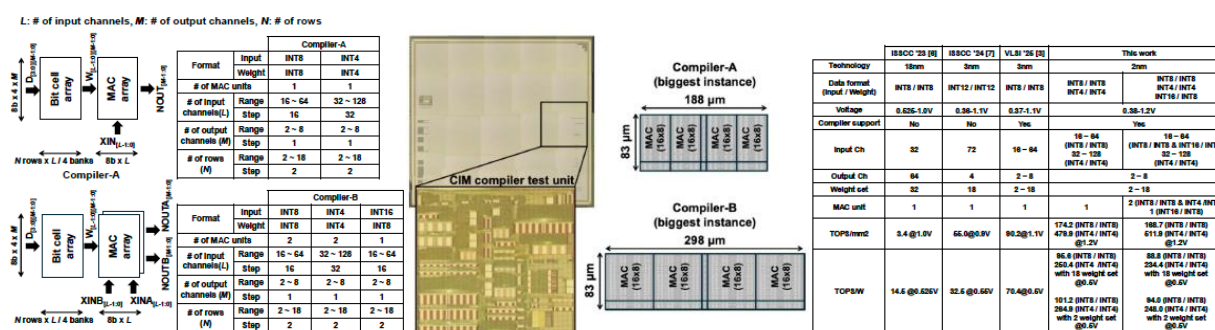
图：（左）分布式热-电压传感器在混合键合 3DIC DNN 处理器中的布局。（中）基于双环形振荡器和片上处理的统一数字 TV 传感器架构。（右）实测系统级效果：实时热监测与动态限频可改善性能和热控制。

**采用 14nm FinFET 工艺的稳健低中频正交 CT ΔΣ 调制器：**三星电子将展示一种基于 14nm FinFET 工艺的可配置低中频正交连续时间 ΔΣ 调制器，支持 1.5MHz 和 2.5MHz 中频操作，面向 2MHz 和 4MHz 带宽模式应用。该设计将单放大器正交双二阶滤波器与所提出的正交数字噪声耦合技术相结合，实现了六阶噪声整形，并提升了电路对工艺偏差的鲁棒性。原型采用 14nm FinFET 工艺制造，在两种工作模式下分别实现了 175.2dB 和 175.4dB 的峰值 FoM。对 50 颗芯片的测量表明，性能偏差控制在±3dB 以内。因此，该调制器为先进的蓝牙低中频接收器提供了一种高度稳健且紧凑的 ADC 解决方案。（论文 C28.5, “采用 SAQB 和 QDNC 的稳健可配置 1.5MHz/2.5MHz 中频正交 CT ΔΣ 调制器：基于 14nm FinFET 工艺，实现了 175.4dB FoM”，Seong-Eun Cho 等，三星电子）



图：(左) 所提出的正交 CT  $\Delta\Sigma$  调制器架构，采用 SAQB 和数字噪声耦合技术。(中) 正交数字噪声耦合 (QDNC) 机制支持灵活的中频操作和稳健的高阶噪声整形。(右) 实测输出频谱表明，两种中频模式下均实现了高 SNDR 和有效的带内噪声抑制。

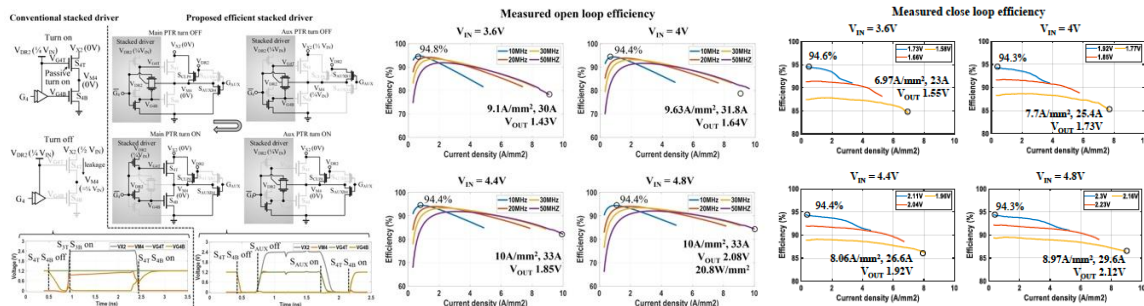
**灵活支持多种数据格式的 2nm 数字存算一体编译器：** 台积电将展示一种基于 2nm 工艺的数字存算一体编译器，支持每个权重对应多个 MAC 单元及多种数据格式，包括 INT8/INT8、INT4/INT4 和 INT16/INT8 运算。测试芯片采用纳米片技术实现，实测  $V_{MIN}$  低于 0.38V，0.5V 时能效高达 234.4TOPS/W，1.2V 时计算密度高达 511.9TOPS/mm<sup>2</sup>。通过将灵活的数据格式支持、编译器级可配置能力和硬件利用率优化三者结合，这项工作为先进逻辑节点的高效 AI 边缘计算指明了一条高度可扩展的技术路径。(论文 C8.1, “2nm 234.4TOPS/W 和 511.9TOPS/mm<sup>2</sup> 数字存算一体编译器：每个权重对应多个 MAC 单元，支持多种数据格式”，Hidehiro Fujiwara 等，台积电)



图：(左) 2nm CIM 编译器概览：支持多种数据格式，每个权重对应多个 MAC 单元。(中) 包含 CIM 编译器测试单元的 2nm 测试芯片。(右) 性能对比表明，其能效和计算密度均达到当前最先进水平，分别高达 234.4 TOPS/W 和 511.9 TOPS/mm<sup>2</sup>。

## 电源管理器件与电路

**英特尔开关电容稳压器：** 英特尔将展示一种单片式第一级 2-1 开关电容稳压器 (SCVR)，其将 SoC 封装  $V_{IN}$  推高至 4.8V。该设计采用堆叠器件和同步辅助电源转换器，实现了自生成驱动电压、高效栅极驱动和安全启动三大特性，功率密度达 20W/mm<sup>2</sup>，峰值效率达 94.8%。(论文 C2.1, “单片式 20W/mm<sup>2</sup>、4.8V 输入、94.8% 峰值效率、2-1 开关电容稳压器，用作垂直供电方案的第一级电流倍增器”，M. Gong 等，英特尔)

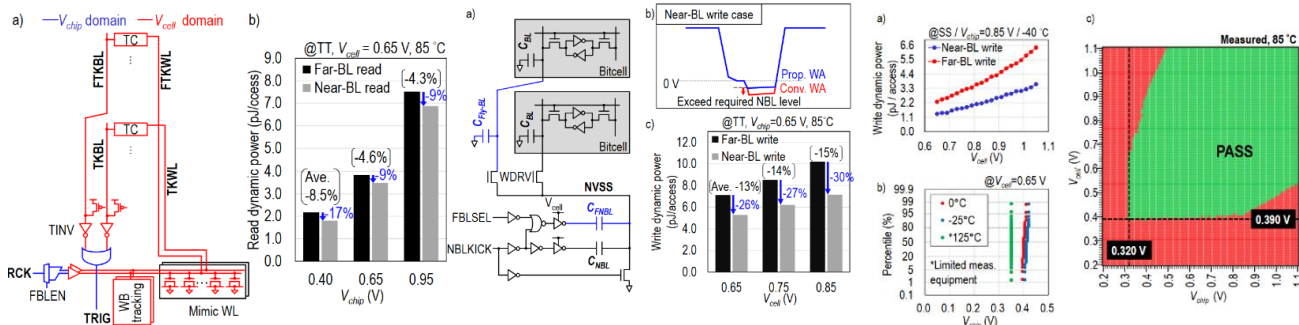


图：（左）常规方案与所提出堆叠器件栅极驱动方案的对比。（中）实测开环效率。（右）实测闭环效率。

## 内存技术、器件、电路和架构

**台积电 2nm 双轨 SRAM：** 台积电将展示一种高效、高密度(HD) 6T 单端口 SRAM。它采用行访问感知的读取跟踪和写入辅助(WA)电路。在读操作中，得益于行访问感知的读取跟踪及其最优字线(WL)停用时间，动态功耗最多降低 8.7%，平均降低 8.5%。在写操作中，动态功耗平均降低多达 15%。用于演示的 539kb 双轨多阵列 SRAM 宏采用 2nm 纳米片技术，位密度达 37.42Mb/mm<sup>2</sup>，125°C时工作电压低至 0.35-1.10V，读/写操作能效出色，单次访问能耗仅 2.28pJ。

（论文 C29.1, “一种 2nm 37.4 Mb/mm<sup>2</sup> 双轨 SRAM：采用行访问感知的读取跟踪和写入辅助电路，能效出色，单次访问能耗仅 2.28pJ”，R. Takamatsu 等，台积电）

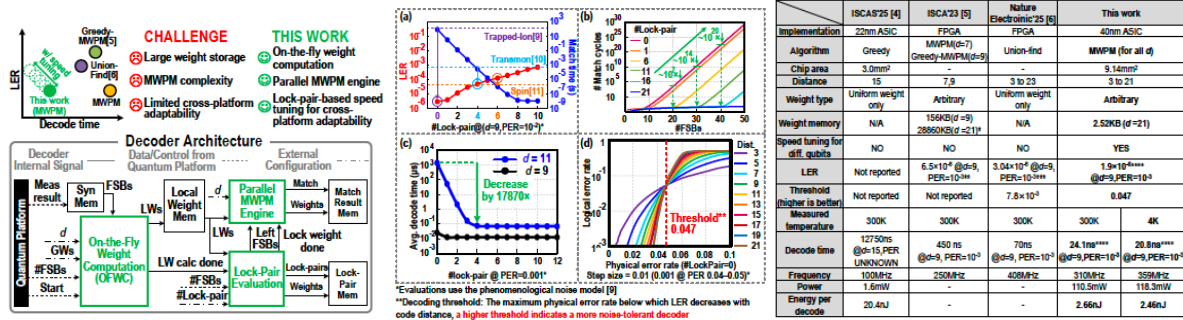


图：（左）所提出的行访问感知读取跟踪：a) 示意图；b) 近 BL 读取和远 BL 读取的动态功耗比较。（中）所提出的行访问感知 WA 电路及其对写操作动态功耗的影响：a) 示意图；b) NBL 波形；c) 近 BL 写入和远 BL 写入的功耗比较。（右）实测硅数据：a) 实测写操作动态功耗；b) V<sub>min</sub> 分布；c) V<sub>chip</sub> 对 V<sub>cell</sub> 的 Shmoo 图。

## 用于机器学习(ML)/深度学习(DL)的器件和加速器与新型计算

**多所大学合作研究低温 CMOS 表面码解码器：** 南方科技大学和高知工科大学将联合报告一项关于低温 CMOS 表面码解码器的研究工作。该解码器支持最大码距 21 的全 MWPM（最小权重完美匹配）。设计采用了如下技术：即时权重计算，将权重存储区面积减至原来的 1/989；并行匹配引擎，用于实现全 MWPM；基于锁定对的速度调谐，确保跨平台速度适配。40nm 测试芯片在 4K

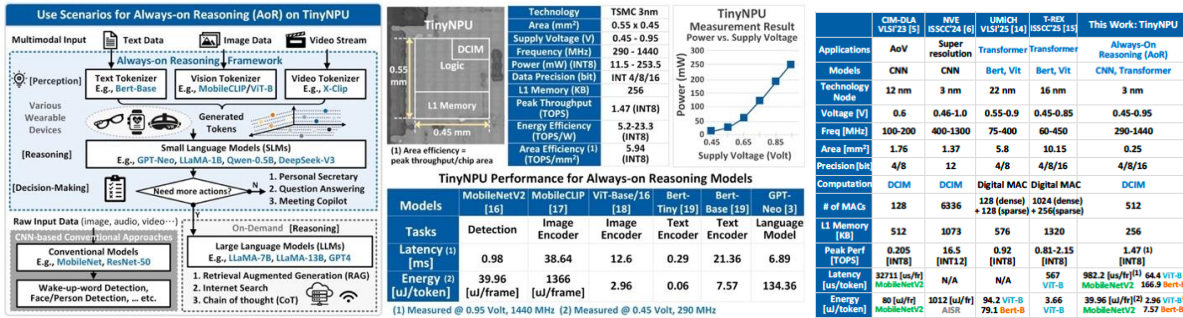
分辨率下实现了  $1.9 \times 10^{-6}$  的逻辑错误率，解码时间为 20.8ns，相较现有方案技术提升 3.3 倍至 612 倍，单次解码能耗仅 2.46nJ。（论文 C7.3, “一种全 MWPM 表面码解码器：具备即时权重计算和跨平台适配能力，在 4K 分辨率下实现了  $1.9 \times 10^{-6}$  LER 和 20.8-ns 解码时间”，H. Lyu、Y. Chen 等，南方科技大学）



图：（左）所提出解码器的主要优势和整体架构。（中）实测基于锁定对的速度调谐(a)；匹配周期与 FSB 数量的关系(b)；解码时间(c)；解码阈值(d)。（右）性能总结及与当前最先进技术的比较。

## 处理器和 SoC

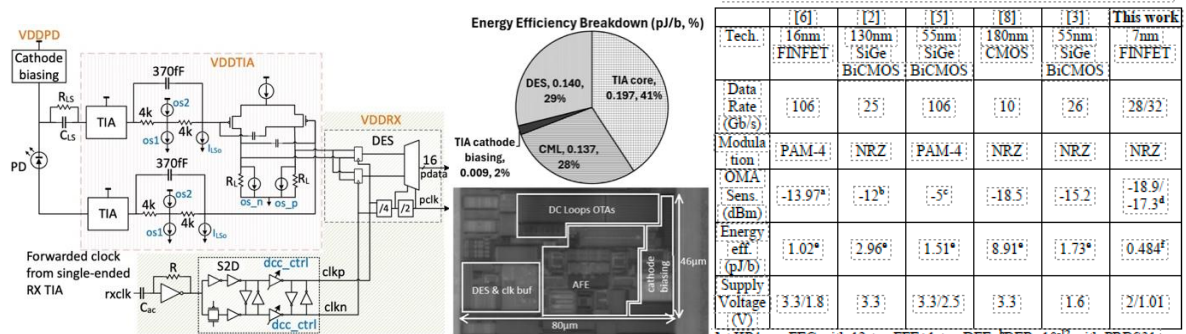
**联发科 TinyNPU：**联发科将展示首款商用 3nm 数字存算一体(DCIM) NPU，面向可穿戴设备，支持超低功耗的常开推理(AoR)。它拥有 512 个 8 位 MAC 和 256KB 片上内存，算力为 1.47TOPS。实测结果显示，搭载该 NPU 的智能眼镜电池续航可达 10 天；在 Transformer 模型推理任务中，其能耗仅为现有最先进方案的 1/31.8，为下一代 AoR 提供了一种高效解决方案。（论文 C21.1, “TinyNPU：一种 3nm 0.06-134.36  $\mu$ J/token DCIM 超低功耗 NPU，适用于可穿戴设备的常开推理”，Y. Hsieh、E. Chang、C. Teng 等，联发科）



图：（左）TinyNPU 使用场景。（中）芯片显微照片和实测 TinyNPU 性能。（右）性能总结及与当前最先进技术的比较。

## 有线和光收发器、光互连和处理器

**英伟达光接收器：** 英伟达将展示一种 32Gb/s 光接收器。该器件基于 3D 堆叠硅光子(SiPh)平台，采用单电源供电的差分跨阻放大器(TIA)。在光电二极管(PD)端，接收器灵敏度（以光调制幅度(OMA)衡量）在 32Gb/s 和 28Gb/s 时分别为-17.3dBm 和-18.9dBm。32Gb/s 时能效为 0.484pJ/b。该接收器通过 Cu-Cu 混合键合，将 7nm FinFET CMOS 电子 IC (EIC)堆叠在 65nm 硅光子 IC (PIC) 上。（论文 C20.2, “一种 32Gb/s 光接收器：采用差分 TIA，灵敏度-17.3dBm，基于 3D 堆叠硅光子平台”，G. Kalogerakis 等，英伟达）



图：（左）所提出的采用差分 TIA 的接收器电路图。（中）芯片显微照片和能效分解图。（右）性能总结及与当前最先进技术的比较。

###