



2026 Symposium on VLSI Technology and Circuits 하이라이트

2026 IEEE/JSAP Symposium on VLSI Technology and Circuits 는 Micro/Nanoelectronics 의 획기적인 성과와 발전, 그리고 진화를 선보이는 최고의 국제 컨퍼런스로, 2026 년 6 월 14 일부터 18 일까지 개최될 예정입니다. 공정/소자와 회로를 통합하여 다루는 이번 심포지엄은 인적교류의 기회를 제공하기 위해 하와이 호놀룰루의 힐튼 하와이안 빌리지에서 개최되며, 행사 후에는 온디맨드(On Demand)로도 콘텐츠를 확인하실 수 있습니다.

이번 심포지엄의 주제인 “VLSI 혁신을 통한 AI 프런티어의 확장(Advancing the AI Frontier through VLSI Innovation)”은 첨단 기술 개발, 혁신적인 회로 설계, 그리고 이를 통해 가능해지는 응용 분야들을 포함합니다. 이는 지능형 연결 기기, 에너지 효율적 인프라, 그리고 인간의 상호작용 방식을 바꾸는 AI 기반 하드웨어 시스템이라는 새로운 시대로 나아가는 전 세계적인 전환의 일환입니다.

이러한 주제를 잘 보여주는 주요 논문들을 소개합니다.

공정/소자 기술 하이라이트

첨단 CMOS 기술

트리플 나노시트 채널을 적용한 삼성 3D 적층 FET (3DSFETs): 삼성전자는 동일 웨이퍼 상의 n-FET 와 p-FET 모두에 트리플 적층 나노시트 채널을 적용한 3D 적층 FET 를 최초로 선보였습니다. 이는 3D 적층 FET(또는 CFET)로 발표된 사례 중 가장 많은 수의 나노시트를 적용한 것입니다. 또한, 42nm 의 가장 작은 게이트 피치(Gate Pitch)를 구현함으로써, 산업화가 가능한 가장 공격적인 CFET 스케일링을 입증하였습니다. (**Paper 463**, “**First Demonstration of 3D Stacked FETs at Gate Pitch of 42nm Featuring Triple Stacked Nanosheet Channels for Advanced Logic Applications,**” 황동훈 외, 삼성전자)

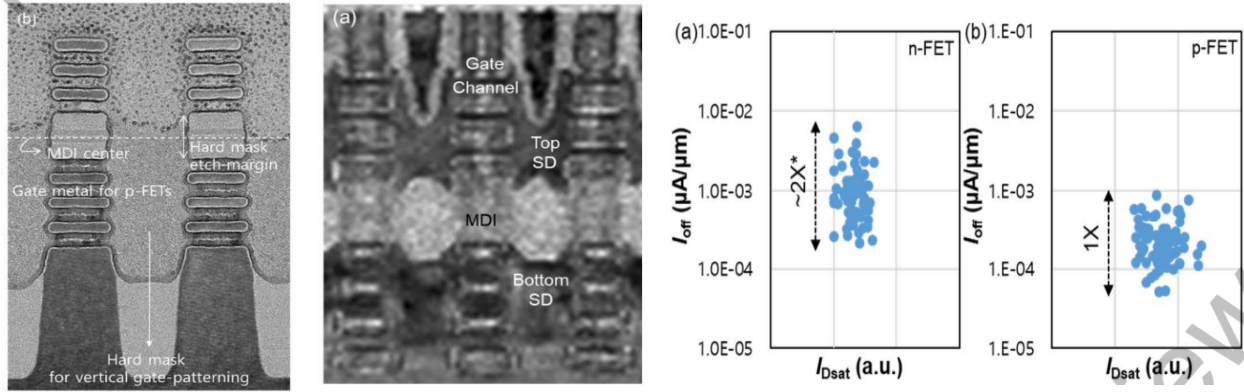


그림: (왼쪽) n-FET 및 p-FET 를 위한 적절한 게이트 금속 형성 후의 TEM 이미지. (가운데) 42nm 게이트 피치 및 트리플 적층 나노시트 채널이 적용되어 최종 제작된 3DSFET 의 TEM 이미지. (오른쪽) n-FET 및 p-FET 의 I_{off} 대비 I_{Dsat} 를 나타낸 3DSFET 의 전기적 특성.

Intel 18A-P Advanced RibbonFET (GAA) 기술: 인텔은 18A 기술 제품군의 첫 번째 성능 향상 버전을 발표합니다. 추가적인 로직 VT pair 도입, skew corner 최적화, 새로운 저전력 및 고성능 소자 적용, 열 저항 감소를 통해 18A-P 는 동일 전력 대비 9%의 성능 향상 또는 동일 성능 대비 18% 이상의 에너지 효율 향상을 달성했습니다. 또한 SRAM Vmin 을 맞추고 로직 NBTI 를 개선했으며, 18A 와 설계 호환이 가능하도록 도입되었습니다. (Paper 270, "Intel 18A-P CMOS Technology Enhancement Featuring Advanced RibbonFET (GAA) Transistors and PowerVia for High-Performance Computing," A. Bowonder, et al, Intel Foundry)

	18A Feature List	18A-P feature list
Performance @Iso-Power	1x	9% Iso-Power Performance Gain
Contacted Poly pitch (nm)	50	50
Library Height (nm)	180	160
Transistor	Z2, Z3	Z1, Z2, Z3
	Z1, Z2, Z3	Z1.5 (Low Power) Z3P (HP contact)
VT	4 pairs of Logic VTs	5+ pairs of logic VTs (New Logic VT between ULVT and LVT) Lower ULVT
Skew corners		~30% tightening in skew corners
Interconnect RC	Intel 18A Base Process	V0-V2 R reduction, M2-M4 jogs
Thermals		Improved thermal conductivity by 50%

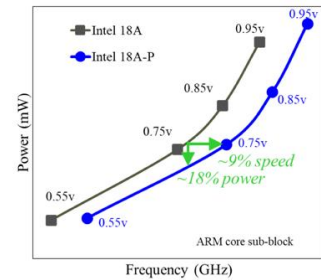
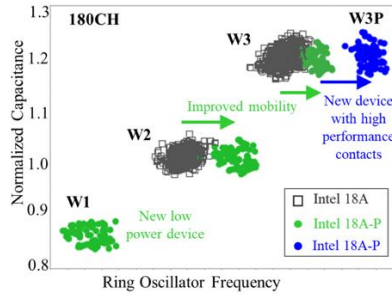


그림: (왼쪽) 인텔 18A 대비 18A-P 의 새로운 기술 특징 (가운데) 18A-P 내 신규 소자(저전력 및 고성능)의 성능 (오른쪽) 업계 표준 ARM 코어 서브 블록에서 인텔 18A 대비 약 9%의 동일 전력 성능 향상(0.75V 기준) 입증.

2x2 RibbonFET 기반 인텔 CFET 인버터: 인텔은 공정 리스크를 최소화하면서 최적의 PPA(전력, 성능, 면적) 개선을 제공하는 CFET 기술의 여러 신기능을 선보입니다. 여기에는 45nm 게이트 피치, PowerVia, Direct Backside Contacts, 내부 연결을 위한 Epi-to-Epi Via, 그리고 독특하게 NMOS 위에 PMOS 를 배치한 구조가 포함됩니다. 또한 PMOS 성능 향상을 위해 10nm 미만의

중간 유전체 절연(MDI)을 갖춘 NMOS Si(100) 상의 하이브리드 PMOS Si(110) 적층 구조를 적용했습니다. (Paper 2125, “Demonstration of CFET Inverters on Si (110) with 2X2 RibbonFETs at 45nm Gate Pitch with PowerVia and Direct Backside Contacts,” J. A. Wiedemer et al, Intel Corporation)

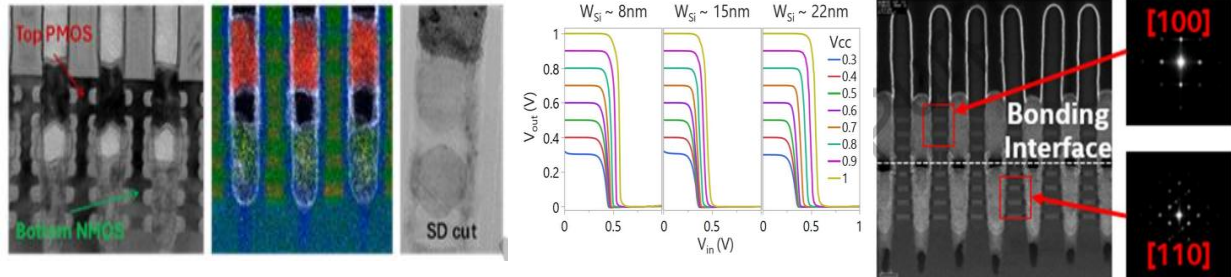


그림: (왼쪽) Si(110) 기판 위 수직 듀얼 에피 공정 후 CPP=45nm 의 2-리본 CFET 소자 TEM 마이크로그래프 — PMOS 가 상단에 위치한 최초의 CFET 기술 (가운데) VCC 0.3V~1V 범위에서 Si(110) 웨이퍼 위 CPP=45nm CFET 인버터의 전압 전달 특성(VTC) (오른쪽) 동일 monolithic CFET 공정으로 처리된 본딩 웨이퍼의 EM 마이크로그래프, Si(110) 및 Si(100) 채널 방향 표시.

IBM 고온 SiGe 나노시트 PFET: IBM 은 하단 SiGe PFET 위에 상단 Si NFET 를 순차적으로 통합하여 검증한, 900°C 이상의 고온 안정성을 갖춘 SiGe 나노시트(NS) 교체 금속 게이트(RMG) PFET 를 선보입니다. 제작된 PFET 소자는 70mV/dec 의 subthreshold slope 와 함께 우수한 Id-Vg 특성을 보이는 것으로 확인되었습니다. 이 결과는 다층 순차 통합(multi-tiered sequential integration)을 위한 길을 열어줍니다. (Paper 1783, “High-Temperature Resilient SiGe Nanosheet PFET RMG Towards Multi-Tiered Sequential Integration,” N. Shanker et al, IBM Research)

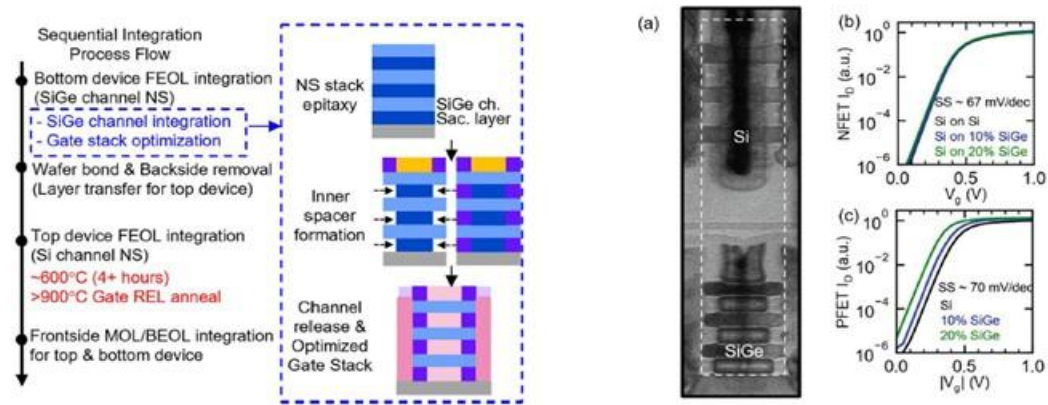


그림: (왼쪽) 하단 SiGe GAA NS 채널과 상단 Si GAA NS 채널을 갖춘 적층 FET 의 고수준 통합 공정 흐름 (오른쪽) 열적으로 안정적인 SiGe PFET 위에 적층된 Si NFET 의 단면 TEM 이미지 및 우수한 오버레이 확인. 전체 순차 통합 후 Si, 10% SiGe, 20% SiGe 소자의 Id-Vg 곡선. 모든 PFET 소자가 약

70mV/dec의 서브스레슬드 슬로프를 보여 SiGe 채널 소자의 인터페이스 트랩으로 인한 추가 성능 저하가 없음을 시사함.

최신 논문 - TSMC A16 용스트롬급 CMOS 기술: TSMC는 최신 GAA 기술인 A16 플랫폼을 발표합니다. 이 기술은 '슈퍼 파워 레일(SPR)'이라 불리는 새로운 후면 직접 접점 방식의 후면 전력 공급 솔루션을 포함합니다. N2P(성능 향상 N2)와 비교하여 A16은 동일 전력에서 8~10% 더 빠른 속도, 또는 15~20%의 전력 개선과 8~10%의 추가 칩 밀도 이득을 제공합니다. A16의 양산은 2026년 4분기로 예정되어 있습니다. (*Paper 2499, "A16 Angstrom-class CMOS Technology featuring Enhanced Nanosheet Transistors with SuperPower Rail (backside direct contact power delivery) for AI and HPC Applications", G. Yeap et al, TSMC*)

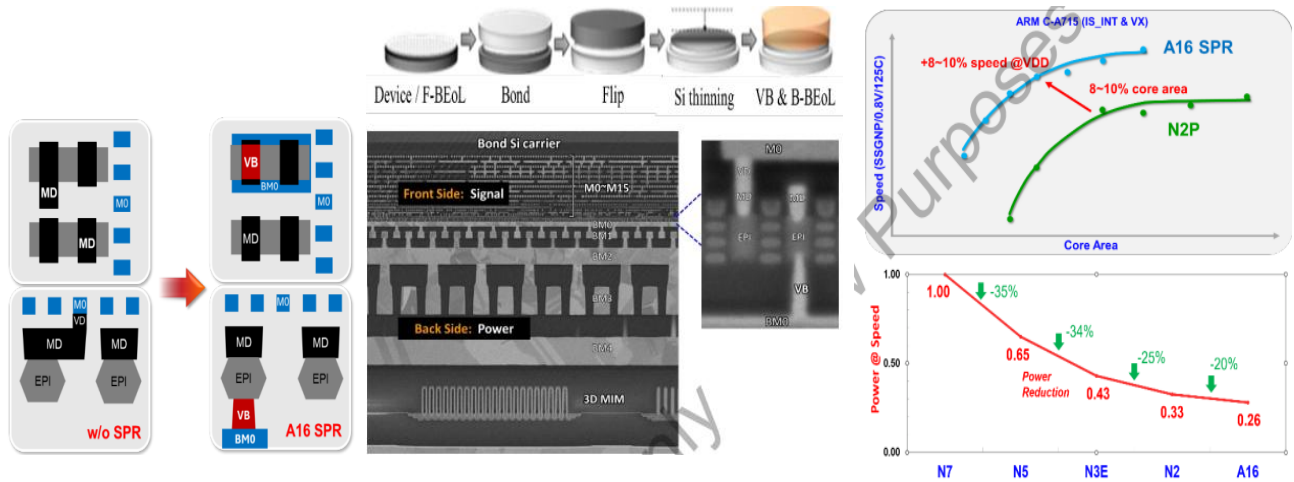


그림: (왼쪽) 후면 직접 접점(VB) 전력 공급 방식의 A16-SPR 개략도 (가운데) SPR 공정 흐름도 및 A16-SPR TEM 이미지, 후면 직접 접점 전력, 전/후면 금속 및 3D MiM이 적용된 강화된 나노시트 트랜지스터 표시 (오른쪽) ARM 코어 벤치마크 기준, N2P보다 최대 10% 높은 밀도와 빠른 속도를 제공하는 A16.

메모리 기술

키옥시아/샌디스크 멀티 적층 셀 어레이 최초 QLC 구현: 키옥시아와 샌디스크는 어레이 직접 본딩 방식의 멀티 적층 셀 어레이 CMOS (MSA-CBA)에서 세계 최초로 쿼드 레벨 셀(QLC) 동작에 성공했음을 발표합니다. 이 획기적인 성과는 3D 플래시 메모리의 고적층 시 발생하는 주요 과제인 셀 전류 저하, 웨이퍼 휨, 대형 블록(BLK) 크기 문제를 해결한 것입니다. 이는 1,000단 이상의 초고밀도 3D 플래시 메모리를 향한 이정표가 될 것입니다. (*Paper 183, "A Multi-Stacked Cell Array Architecture with Wafer-to-Wafer Cu Direct Bonding for Ultra-High-Density 3D Flash Memory beyond 1,000 Word Lines," M. Noda et al, Kioxia Corporation*)

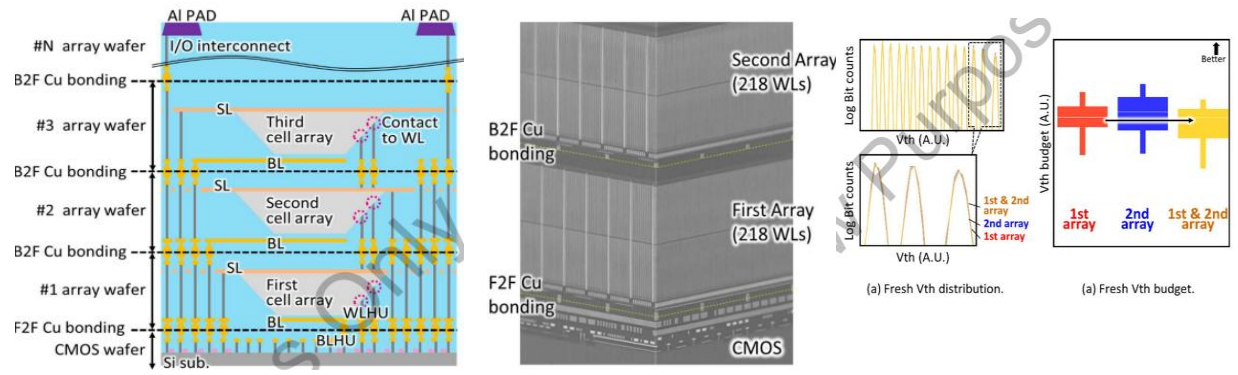


그림: (왼쪽) 순차 적층 및 본딩을 보여주는 MSA-CBA 소자 구조의 개념도 (가운데) 각각 218 개의 WL(워드라인)을 가진 두 개의 어레이 웨이퍼가 성공적으로 본딩된 멀티 적층 셀 어레이의 FIB-SEM 이미지 (오른쪽) 전체 MSA-CBA 구조와 개별 1, 2 차 셀 어레이의 비교를 통해 BL 선택형 MSA-CBA 에서 안정적인 Vth 특성과 신뢰할 수 있는 QLC 동작 입증.

SAIMEMORY 팀 3D HB DRAM: SAIMEMORY, 인텔, PSMC, AP 연구진은 3D 고대역폭 DRAM 에 구현된 다중 웨이퍼 Via-in-one TSV 아키텍처를 선보입니다. 8 단 적층 큐브의 모든 금속 라우팅 층이 TSV 버스에 직접 연결되어 신호 및 전원 무결성이 향상되었습니다. 이 아키텍처는 낮은 데이터 전송 전력에서 탁월한 메모리 대역폭($\sim 0.25\text{Tb/s/mm}^2$)을 제공합니다. (Paper 457, "Multiple-Wafer (9-layer), Extreme thin ($3\mu\text{m-Si}$ per stack) and Innovative Fusion-bonded Via-in-one Architecture for High Bandwidth 3D Memory," C.-L. Lu et al, SAIMEMORY Corporation)

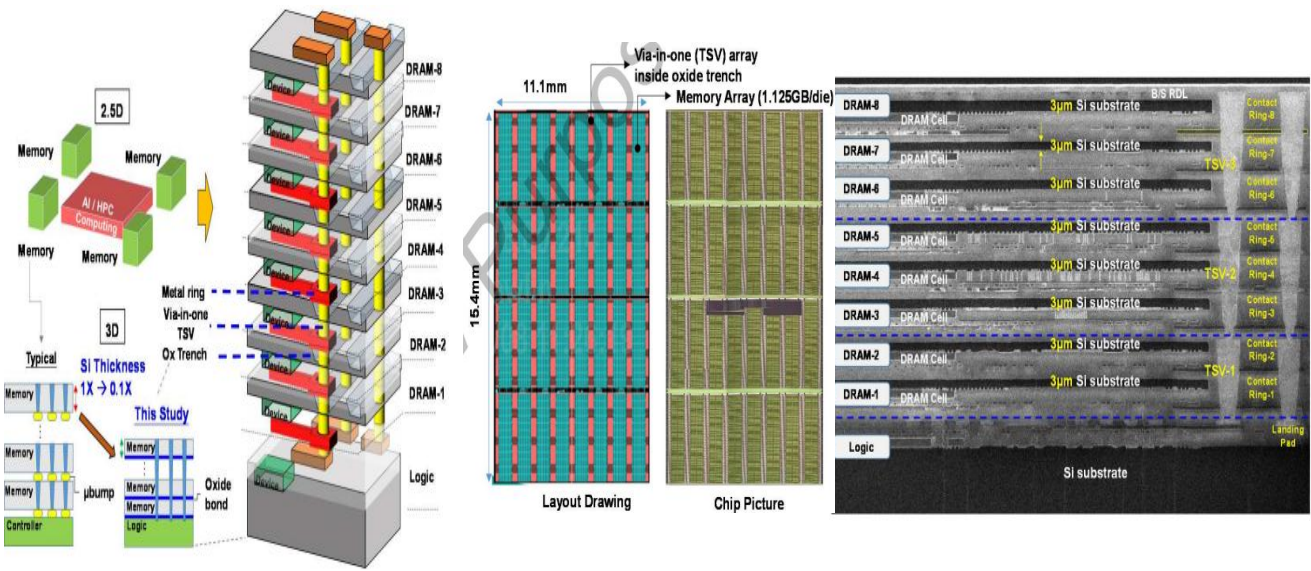


그림: (왼쪽) 2.5D 패키징의 일반적인 마이크로 범프 메모리와 Via-in-one TSV가 적용된 퓨전 본딩 3D 메모리의 비교 (가운데) 3D 메모리 레이아웃 도면 및 칩 마이크로그래프 평면도 — 1.125GB 메모리 어레이는 다이당 13.7K 개의 Via-in-one TSV 어레이로 구성 (오른쪽) 1+8 적층 로직/DRAM 아키텍처의 단면 이미지 — 각 DRAM에 초박형 Si 기판(~3 μ m)이 형성됨. Via-in-one은 각 세트의 2~3개 금속 링과 접촉함.

삼성 16단 VS-DRAM: 10nm 노드 이후의 DRAM 확장성 과제를 해결하기 위해, 삼성전자는 GAA 셀 트랜지스터(CTR)와 수평 저장 커패시터(CAP)를 채택한 16단 수직 적층 DRAM(VS-DRAM)을 선보입니다. 또한, 코어/페리(Peri) 소자를 별도의 웨이퍼에서 제작하여 셀 웨이퍼 위에 본딩하는 Peri-on-Cell(PoC) 아키텍처의 생존 가능성을 입증함으로써, 이를 미래 메모리 기술의 유망한 후보로 제시합니다. (Paper 255, “Vertically Stacked DRAM Technology for Scaling Evolution,” S.U. Han, Samsung Semiconductor)

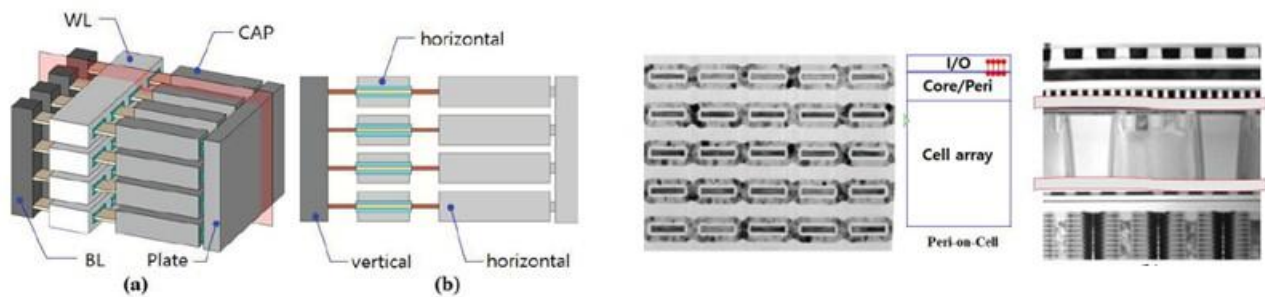


그림: (왼쪽) 수평 WL, 수직 BL 및 수평 커패시터를 갖춘 VS-DRAM의 (a) 조감도 및 (b) 단면 개략도 (오른쪽) 제작된 GAA 소자의 단면 TEM 이미지 및 PoC 방식이 I/O 효율성 측면에서 더 우수함을 강조하는 Peri-on-Cell(PoC) TEM 이미지.

최신 논문 - SK 하이닉스 4F2 수직 게이트(VG) DRAM: SK 하이닉스는 커플링 노이즈를 억제하는 비트라인 섀딩(BLS)과 문턱 전압(V_{th}) 제어 및 패싱 게이트 효과를 강화하는 공유 백 게이트(BG) 기술이 통합된 4F2 수직 게이트 DRAM의 전기적 특성을 발표합니다. 또한 웨이퍼 본딩 구조에서 안정적인 회로 동작을 지원하기 위해 다이 박막화(Die thinning) 기술이 도입되었습니다. 이를 통해 셀 트랜지스터의 견고한 성능과 4F2 VG DRAM의 읽기/쓰기 동작을 구현했습니다. (Paper 2573, “Electrical Characteristics of the 4F2 Vertical Gate (VG) DRAM integrated with BitLine Shielding (BLS) and Back Gate (BG) Transistor,” S. W. Chu et al, SK Hynix)

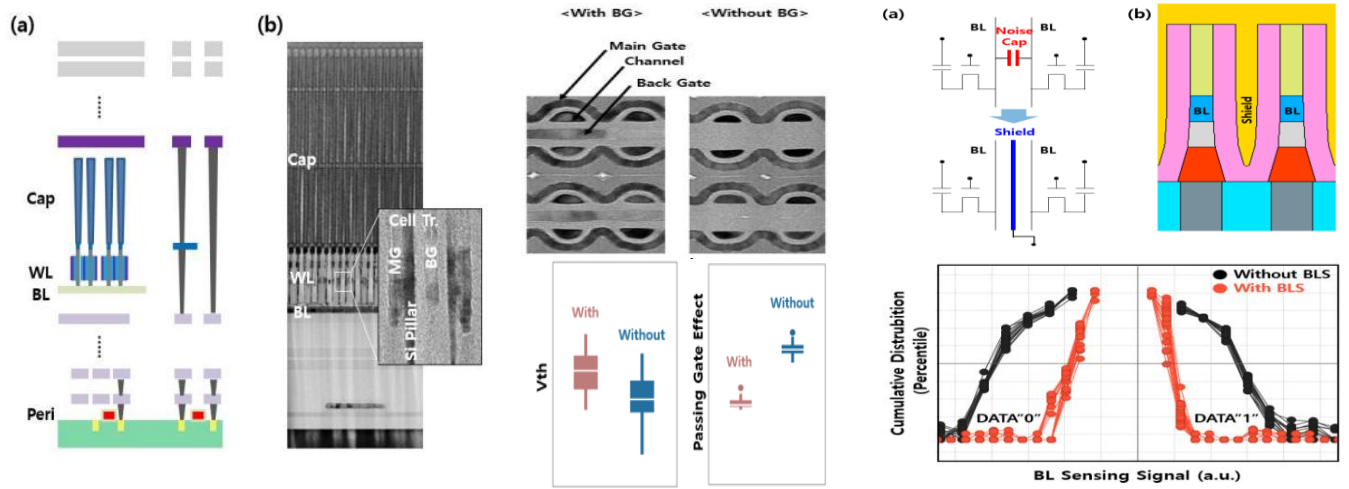


그림: (왼쪽) (a) 퓨전 웨이퍼 본딩을 통해 주변 소자와 통합된 4F2 VG DRAM 셀 트랜지스터의 개략도 및 (b) 4F2 VG DRAM의 단면 TEM 이미지 (가운데) VG DRAM 어레이의 TEM 평면도 및 백 게이트가 VG 셀 트랜지스터 기능에 미치는 영향 (오른쪽) BLS 구조의 개념 설계 및 개략도 — BLS는 BL 센싱 실패를 크게 개선함.

CMOS 스케일링 및 신소자를 위한 공정/재료

2D 물질을 위한 EUV 리소그래피: imec은 EUV 리소그래피와 300mm 팹 공정을 활용하여 2D 물질 채널 트랜지스터를 위한 새로운 통합 흐름을 선보입니다. 이 접근 방식을 통해 컨택 피치 50nm, 액티브 폭 75nm, 등가 산화물 두께(EOT) 약 2nm의 미세화된 트랜지스터 제작이 가능해졌습니다. 또한, 다이 또는 소형 웨이퍼 전사 방식을 통해 NMOS에는 MoS₂, PMOS에는 WSe₂라는 서로 다른 채널 물질을 동일 웨이퍼 상에 나란히 배치함으로써 쿼지-CMOS(quasi-CMOS) 통합을 달성했습니다. (Paper 1535, "First EUV-enabled Integration Route for 50nm Pitch N and PMOS Transistors with 2D Materials Channel from a 300mm Fab," T. Schram, imec)

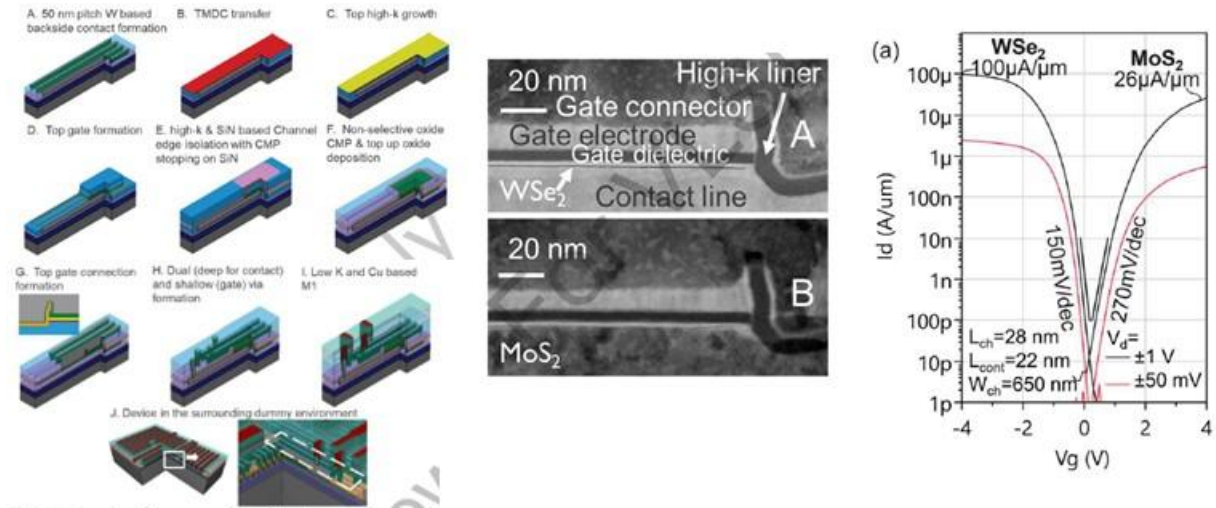


그림: (왼쪽) 제안된 공정 흐름 (가운데) 제작된 전이금속 디칼코제나이드(TMD) 물질(NMOS 용 WSe₂, PMOS 용 MoS₂)의 단면 STEM 이미지 (오른쪽) 제작된 NMOS 및 PMOS 소자의 I_d - V_g 특성.

소자 물리, 특성 분석, 모델링 및 신뢰성

3D MFM 커패시터 공동 연구: 싱가포르 국립대학교, 산둥 대학교, A*STAR

마이크로일렉트로닉스 연구소는 배향 제어 ALD-TiN 전극과 3nm 초박막 HZO 를 특징으로 하는 3D MFM(금속-강유전체-금속) 커패시터 연구 결과를 보고합니다. ALD 로 증착된 TiN/HZO/TiN 적층 구조는 초저전압 동작에서 높은 잔류 분극($2P_r$)을 보였으며, 0.5V 에서 $2P_r > 38 \mu\text{C}/\text{cm}^2$, 0.4V 에서 $2P_r > 28 \mu\text{C}/\text{cm}^2$ 를 기록했습니다. 0.4V 의 낮은 동작 전압에서도 IRDS 의 $2P_r$ 목표치($\geq 26.5 \mu\text{C}/\text{cm}^2$)를 만족하는 계도에 있음을 보여주었습니다. (Paper 2140, "Record $2P_r$ ($>38 \mu\text{C}/\text{cm}^2$ at 0.5 V, $>28 \mu\text{C}/\text{cm}^2$ at 0.4V) of 3D MFM Capacitors Enabled by 3nm HZO and ALD-TiN Orientation Engineering, Y. Feng et al, Shandong University")

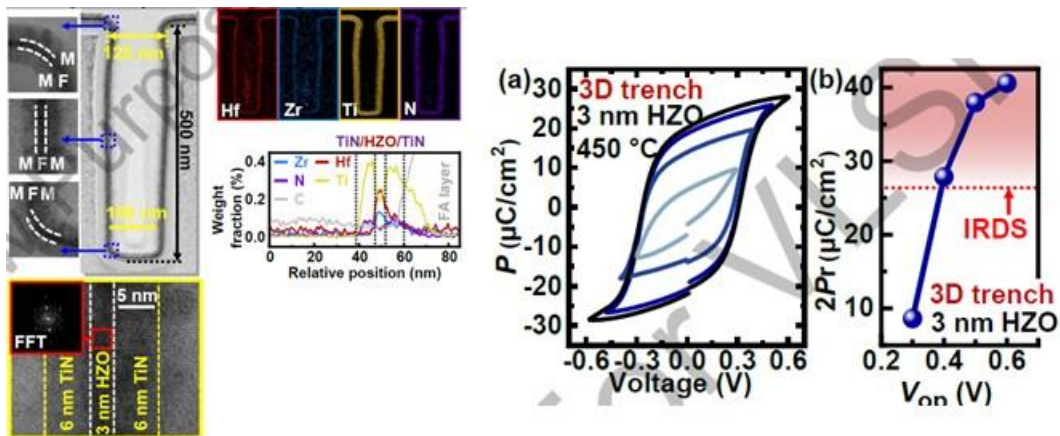


그림: (왼쪽) 제작된 3D 트렌치 MFM 커패시터(깊이 500nm, 개구부 직경 125nm)의 TEM 이미지 및 FFT, EDX 분석 결과 (오른쪽) 최적화된 TiN 배향과 450°C 열처리를 거친 3nm HZO 기반 3D 트렌치 FE 커패시터의 측정된 P_f -V 특성 루프.

센서, 이미지, IoT, MEMS, 디스플레이 회로

소니 RGB-IR 이미지 센서: 소니는 차량 내(in-cabin) 애플리케이션을 위해 롤링 셔터(RS)와 글로벌 셔터(GS) 모드가 순차적으로 동작하는 2.1 μm RGB-IR CMOS 이미지 센서를 제안합니다. RGB 센서로서 $T_j=85^\circ\text{C}$ 에서 112dB의 다이내믹 레인지(DR)를 달성하여 고품질 가시광 이미징을 가능하게 했습니다. IR 센서의 경우 65%의 변조 전달 함수(MTF)와 35%의 적외선 양자 효율(IR-QE)이라는 최첨단 특성을 구현하여 IR 조명 하에서의 시선 감지용 용이하게 했습니다. (Paper 523, "A 2.1- μm Pixel-Pitch CMOS Image Sensor with 65% MTF/35% QE IR Global Shutter and RGB Rolling Shutter Sequential Operation for In-cabin Applications," M. Hiroki, Sony Semiconductor)

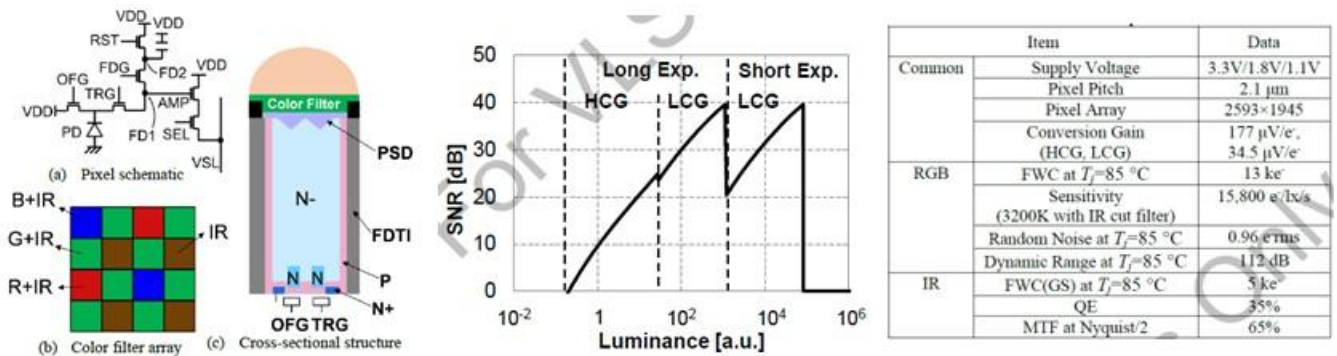


그림: (왼쪽) 제안된 센서의 픽셀 개략도 및 구조. RGB 필터는 IR 감도 또한 가짐 (가운데) $T_j=85^\circ\text{C}$ 에서 RGB 프레임의 SNR 곡선, 112dB의 DR 달성 (오른쪽) RGB 및 IR 모두에서 우수한 픽셀 성능 달성.

회로 하이라이트

무선 회로

6G UE 용 D-밴드 이중 편파 MIMO 위상 배열 트랜시버: 도쿄 과학 대학은 65nm CMOS 공정으로 구현된 세계 최초의 6G 사용자 단말(UE)용 D-밴드 이중 편파(DP) MIMO 위상 배열 트랜시버를 발표합니다. 각 IC는 3mm x 4mm의 소형 다이에 4개의 수직 및 4개의 수평 편파 TRX 요소를 통합했으며, 2개의 IC가 포함된 안테나-인-패키지(AiP) 모듈을 통해 8V+8H 요소 동작이 가능합니다. 0.3m 거리의 DP-MIMO 동작 시 최대 144Gbps, 3m에서 64Gbps, 최대 50m까지의 장거리 단일 스트림 통신을 달성하여 미래 6G 모바일 기기를 위한 고집적, 저전력

sub-THz 솔루션을 입증했습니다. (Paper 460, "A 144Gbps D-Band Dual-Polarized MIMO High-Density Phased-Array Transceiver in 65nm CMOS for 6G UE," 22Yudai Yamazaki et al, Institute of Science Tokyo)

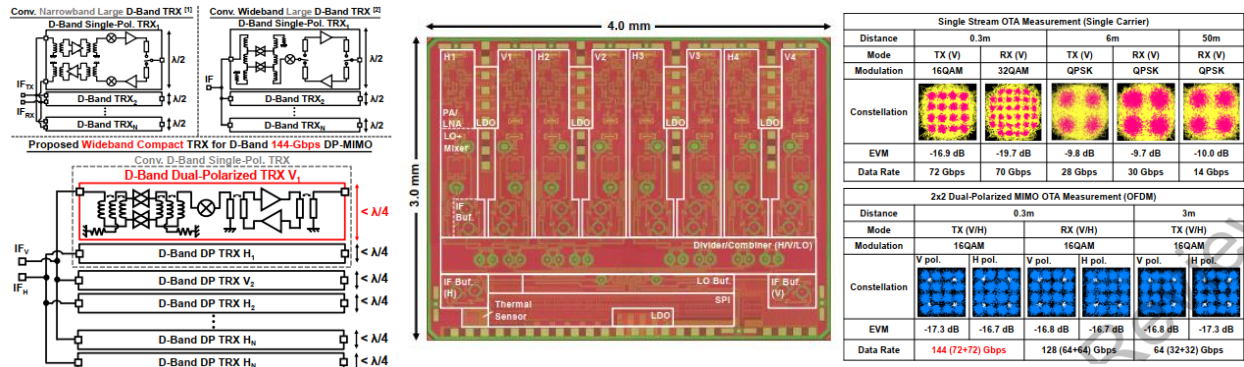


그림: (왼쪽) 수직/수평 편파를 위한 컴팩트한 $\lambda/4$ TRX 통합을 강조한 D-밴드 DP-MIMO 위상 배열 아키텍처 (가운데) 3mm x 4mm 칩에 4V+4H TRX 요소를 통합한 65nm CMOS 트랜시버 다이 마이크로그래프 (오른쪽) 최대 144Gbps DP-MIMO 데이터 전송률과 장거리 통신 능력을 보여주는 측정된 OTA 성능.

LO 위상 시프팅 통합 28GHz 디지털 웨이브-락 루프(WLL): 더블린 대학은 초저 지터, 낮은 레퍼런스 스퍼(spur), 빠른 락킹(locking)을 달성하면서 mm-wave 위상 배열을 위한 LO 위상 시프팅을 직접 지원하는 28GHz 쿼드러처 디지털 웨이브-락 루프를 발표합니다. 파형 기반 검출기는 I/Q 샘플링과 arctangent 기반 위상 추정을 사용하여 고해상도의 full- 2π 단조 검출을 제공하며, 27.375GHz 에서 57.2fs_{rms} 지터와 -80.6dBc 레퍼런스 스퍼를 구현했습니다. 또한 프로토타입은 2.8125° 해상도의 360° LO 위상 시프팅 범위와 0.59 μ s 미만의 락 타임을 갖는 ± 1.5 GHz 주파수 호핑을 시연하여, 고집적 mm-wave MIMO 시스템을 위한 매력적인 신시사이저 아키텍처를 제시했습니다. (Paper 295, "A 28-GHz Quadrature LO-Phase-Shifting Digital Wave-Locked Loop (WLL) Achieving 57.2-fs_{rms} Jitter, -80.6-dBc Spur_{ref}, and 0.59 μ s Near-Integer Lock Time," Feifan Hong et al, University College Dublin)

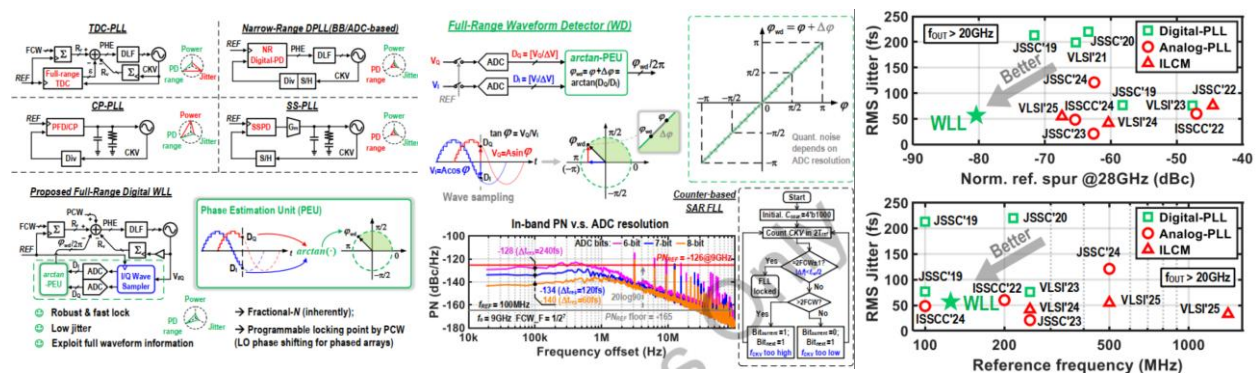


그림: (왼쪽) 기존 PLL 아키텍처와 제안된 파형 기반 디지털 WLL의 개념적 비교 (가운데) 고해상도 full- 2π 위상 검출을 가능하게 하는 arctangent 기반 파형 검출기 (오른쪽) 28GHz 에서 지터 성능 대 정규화된 레퍼런스 스퍼, 그리고 최신 PLL 들의 레퍼런스 주파수 대비 성능 비교.

아날로그 및 데이터 컨버터 회로

14nm FinFET 기반 견고한 Low-IF 쿼드러처 CT $\Delta\Sigma$ 변조기: 삼성전자는 1.5MHz 및 2.5MHz IF 동작을 위해 구성 가능하며 2MHz 및 4MHz 대역폭 모드를 타겟팅하는 14nm FinFET 기반 Low-IF 쿼드러처 연속 시간 델타-시그마 변조기를 발표합니다. 이 설계는 단일 증폭기 쿼드러처 바이쿼드(SAQB)와 제안된 쿼드러처 디지털 노이즈 커플링(QDNC) 기술을 결합하여 공정 변동에 대한 견고함이 개선된 6 차 노이즈 셰이핑을 구현했습니다. 14nm FinFET 으로 제작된 프로토타입은 두 동작 모드에서 각각 175.2dB 및 175.4dB 의 피크 FoM 을 달성했으며, 50 개 칩의 측정 결과 성능 편차가 ± 3 dB 이내로 제한되어 첨단 블루투스 Low-IF 수신기를 위한 매우 견고하고 컴팩트한 ADC 솔루션을 입증했습니다. (Paper 471, “Robust Configurable 1.5MHz / 2.5MHz IF Quadrature CT $\Delta\Sigma$ Modulator Using SAQB and QDNC for 175.4dB FoMs in 14nm FinFET,” 조성은 외, Samsung Electronics)

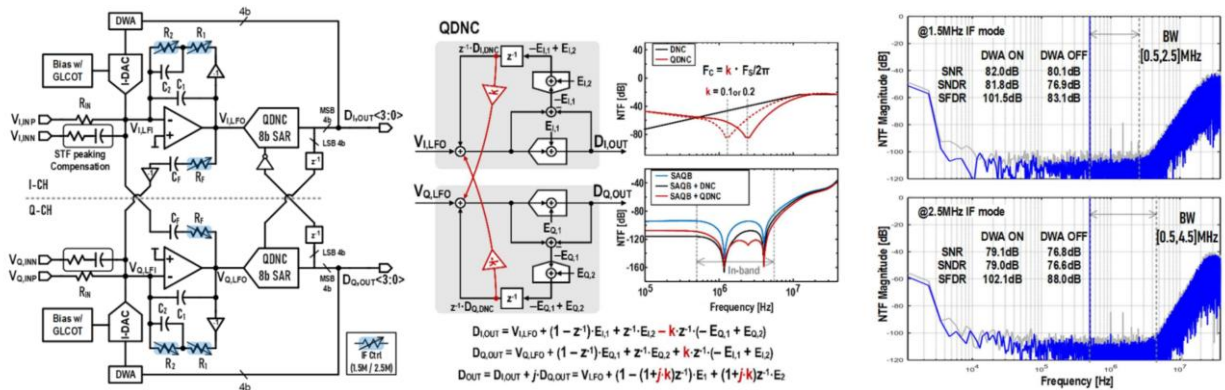


그림: (왼쪽) SAQB 및 디지털 노이즈 커플링을 사용한 제안된 쿼드러처 CT $\Delta\Sigma$ 변조기 아키텍처 (가운데) 유연한 IF 동작과 견고한 고차 노이즈 셰이핑을 가능하게 하는 쿼드러처 디지털 노이즈 커플링(QDNC) 메커니즘 (오른쪽) 두 IF 모드 모두에서 높은 SNDR 과 효과적인 인밴드 노이즈 억제력을 보여주는 측정된 출력 스펙트럼.

첨단 3DIC 를 위한 통합 디지털 열-전압 센서: 인텔은 인텔 18A 및 인텔 3 의 열 관리를 위한 통합 디지털 열-전압 센서를 발표합니다. 이 센서는 센서 간격이 216 μm 미만인 하이브리드 본딩 3DIC DNN 프로세서에 구현되었습니다. 전압 및 온도 감도가 서로 다른 두 개의 디지털 링 오실레이터를 사용하여, 주성분 분석(PCA) 기반의 대량 생산 캘리브레이션 흐름을 통해 인텔 18A 에서 3.1°C/2.1mV, 인텔 3 에서 1.9°C/1.3mV 의 오차를 달성했습니다. 또한 수명 종료

시점의 정확도를 초기 상태에 가깝게 회복시키는 에이징 보상 스킴과 실시간 열 텔레메트리 및 코어별 쓰로틀링을 시연하여 DNN 워크로드 지연 시간을 24% 감소시켰으며, 이는 고밀도 3D AI 프로세서를 위한 실용적인 모니터링 및 제어 솔루션을 보여줍니다. (Paper 1837, "Unified Digital Thermal-Voltage Sensor for Thermal Management in Intel 18A/Intel 3," Shanshan Xie et al, Intel Corporation)

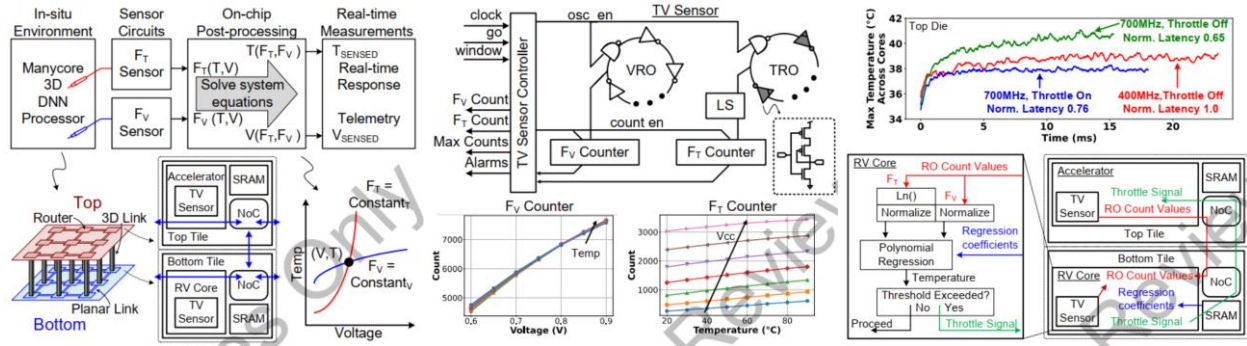
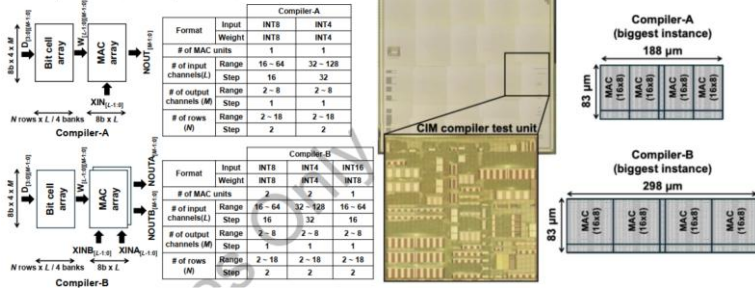


그림: (왼쪽) 하이브리드 본딩 3DIC DNN 프로세서 내 분산된 열-전압 센서 배치 (가운데) 듀얼 링 오실레이터 및 온칩 프로세싱 기반의 통합 디지털 TV 센서 아키텍처 (오른쪽) 성능 향상 및 열 제어를 위한 실시간 열 모니터링 및 동적 쓰로틀링의 시스템 레벨 영향 측정 결과.

ML/DL 과 신규 컴퓨팅을 위한 소자 및 가속기

유연한 데이터 포맷을 지원하는 2nm 디지털 CIM 컴파일러: TSMC 는 가중치당 다중 MAC 유닛과 INT8/INT8, INT4/INT4, INT16/INT8 동작을 포함한 다중 데이터 포맷을 지원하는 2nm 디지털 CIM 컴파일러를 발표합니다. 나노시트 기술로 구현된 테스트 칩은 0.38V 미만의 V_{MIN} , 0.5V 에서 최대 234.4TOPS/W 의 에너지 효율, 1.2V 에서 최대 511.9TOPS/mm²의 연산 밀도를 입증했습니다. 컴파일러 수준의 구성 가능성과 개선된 하드웨어 활용도 및 유연한 데이터 포맷 지원을 통해, 첨단 로직 노드에서 효율적인 AI 엣지 컴퓨팅을 위한 확장 가능한 경로를 제시했습니다. (Paper 1679, "A 2nm 234.4TOPS/W and 511.9TOPS/mm² Digital Computing-in-Memory Compiler with Multiple MAC Units per Weight and Multiple Data Format Support," Hidehiro Fujiwara et al, TSMC)

L: # of input channels, M: # of output channels, N: # of rows



	ISSCC '23 [6]	ISSCC '24 [7]	VLSI '25 [3]	This work
Technology	18nm	3nm	3nm	2nm
Data format (Input / Weight)	INT8 / INT8	INT12 / INT12	BIT8 / BIT8	BIT8 / BIT8 BIT4 / INT4 INT16 / BIT8
Voltage	0.525-1.5V	0.36-1.1V	0.37-1.1V	0.38-1.2V
Compiler support	No	No	Yes	Yes
Input Ch	32	72	16-64	16-64 (BIT8 / BIT8) 32-128 (INT4 / BIT4)
Output Ch	64	4	2-8	2-8
Weight set	32	18	2-18	2-18
MAC unit	1	1	1	2 (BIT8 / BIT8 & INT4 / INT4) 1 (INT16 / INT8)
TOPS/mm ²	3.4 @1.5V	55.0@0.9V	50.2@1.1V	174.2 (BIT8 / INT8) 479.9 (INT4 / INT4) @1.2V
TOPSW	14.5 @0.525V	32.5 @0.55V	70.4@0.5V	95.6 (BIT8 / INT8) 250.4 (INT4 / INT4) with 18 weight set @0.5V
				104.2 (INT8 / INT8) 264.9 (INT4 / INT4) with 2 weight set @0.5V
				88.8 (BIT8 / INT8) 234.4 (INT4 / INT4) with 18 weight set @0.5V
				94.6 (INT8 / INT8) 248.0 (INT4 / INT4) with 2 weight set @0.5V

그림: (왼쪽) 다중 데이터 포맷 및 가중치당 다중 MAC 유닛을 지원하는 2nm CIM 컴파일러 개요 (가운데) CIM 컴파일러 테스트 유닛이 포함된 2nm 테스트 칩 (오른쪽) 최대 234.4 TOPS/W 및 511.9 TOPS/mm²의 최첨단 에너지 효율 및 연산 밀도를 보여주는 성능 비교.

Cryo-CMOS 표면 코드 디코더 공동 연구: 남중국 과학기술대학교와 Kochi 공과대학교는 거리 21 까지의 full-MWPM(최소 가중치 완벽 매칭)을 지원하는 Cryo-CMOS 표면 코드 디코더 연구를 보고합니다. 이 설계는 on-the-fly 가중치 계산을 통해 가중치 메모리 면적을 989 배 줄였으며, full-MWPM 을 위한 병렬 매칭 엔진과 플랫폼 간 속도 적응성을 위한 lock-pair 기반 속도 튜닝을 적용했습니다. 40nm 테스트 칩은 4K 온도에서 20.8ns 의 디코드 시간과 1.9×10^{-6} 의 논리적 오류율(LER)을 달성하여, 기존 기술 대비 3.3 배에서 612 배의 속도 향상을 이루었으며 디코드당 2.46nJ 를 소비합니다. (논문 24, 남중국 과학기술대학교)

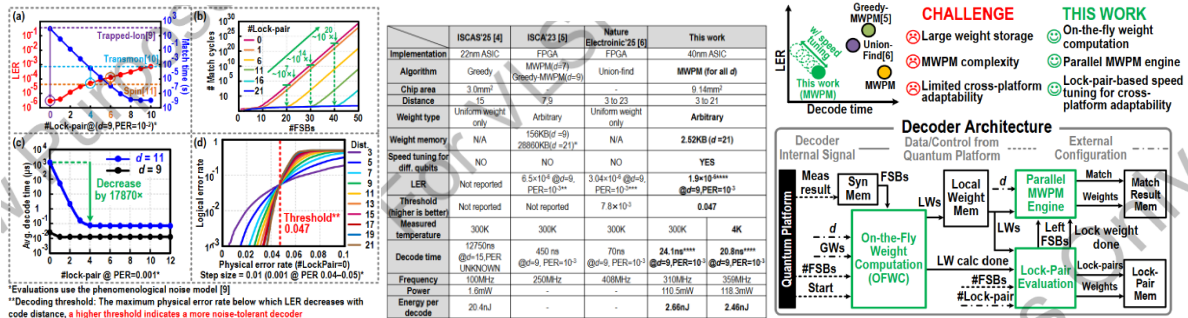


그림: (왼쪽) 제안된 디코더의 주요 장점 및 전체 아키텍처 (가운데) (a) 측정된 락-페어 기반 속도 튜닝, (b) FSB 수에 따른 매치 사이클, (c) 디코딩 시간, (d) 디코딩 임계값, (오른쪽) 성능 요약 및 최신 기술과의 비교.

전력 관리 소자 및 회로

인텔 스위치드 커패시터 전압 레귤레이터 (SCVR): 인텔은 SoC 패키지 입력 전압(V_{IN})을 4.8V 까지 높은 모놀리식 1 단계 2-1 스위치드 커패시터 전압 레귤레이터(SCVR)를

발표합니다. 동기화된 보조 전원 컨버터가 포함된 적층 소자를 특징으로 하며, 자체 생성 드라이브 전압, 효율적인 게이트 구동 및 안전한 시작을 구현하여 20W/mm²의 전력 밀도와 94.8%의 피크 효율을 달성했습니다. (*Paper 179, "A Monolithic 20W/mm² 4.8V Input 94.8% Peak Efficiency 2-1 Switched Capacitor Voltage Regulator as First-Stage Current Multiplier for Vertical Power Delivery," M. Gong et al, Intel*)

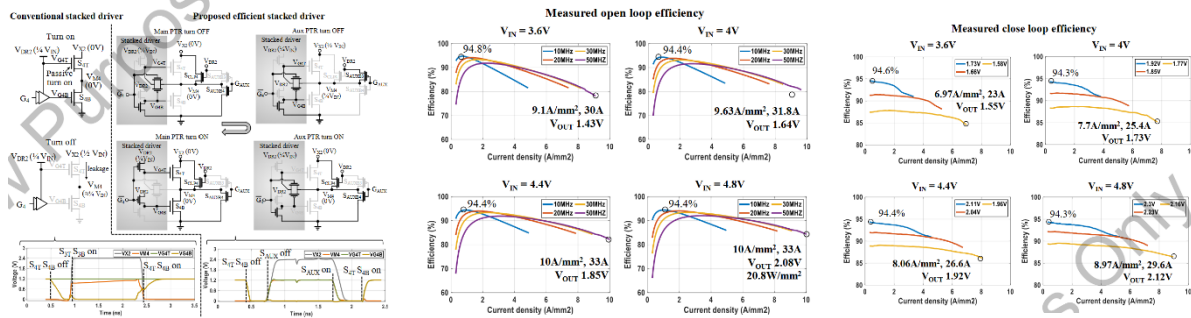


그림: (왼쪽) 기존 방식과 제안된 적층 소자 게이트 구동 방식의 비교 (가운데) 측정된 오픈 루프 효율 (오른쪽) 측정된 클로드 루프 효율.

메모리 기술, 소자, 회로 및 아키텍처

TSMC 2nm 듀얼 레일 SRAM: TSMC는 로우 액세스 인식 읽기 트래킹(row-access aware read tracking) 및 쓰기 보조(WA) 회로를 적용한 에너지 효율적인 고밀도(HD) 6T 싱글 포트 SRAM을 선보입니다. 읽기 동작 시, 로우 액세스 인식 읽기 트래킹과 최적화된 워드라인(WL) 비활성화 타이밍 덕분에 동적 전력이 평균 8.5%, 최대 8.7% 감소했습니다. 쓰기 동작 시에는 평균 최대 15%의 동적 전력이 감소했습니다. 2nm 나노시트 기술로 구현된 539kbit 듀얼 레일 멀티 어레이 SRAM 매크로는 37.42Mbit/mm²의 비트 밀도, 125°C에서 0.35~1.10V의 저전압 동작, 그리고 액세스당 2.28pJ의 에너지 효율적인 읽기/쓰기 동작을 달성했습니다. (*Paper 141, "A 2nm 37.4 Mbit/mm² Dual-Rail SRAM with Row-Access Aware Read Tracking and Write Assist Circuits Enabling 2.28pJ/Access Energy Efficient Operation," R. Takamatsu et al, TSMC*)

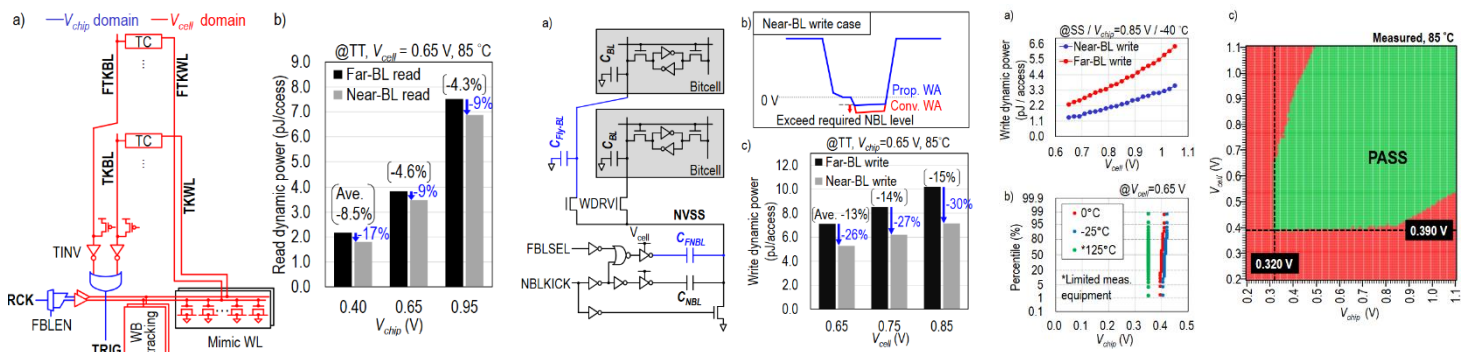
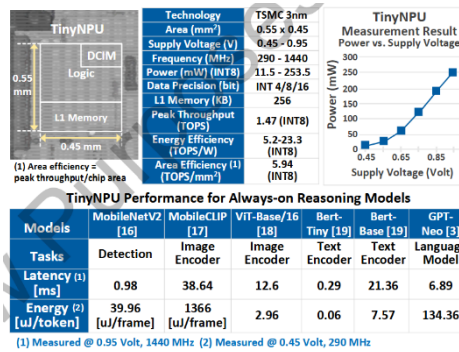
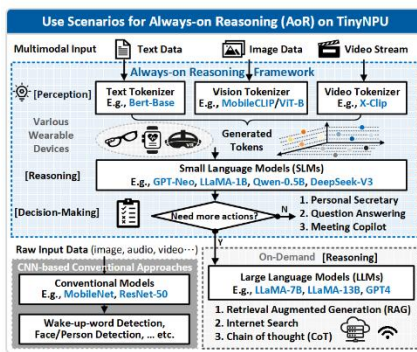


그림: (왼쪽) 제안된 로우 액세스 인식 읽기 트레이킹: (a) 개략도, (b) 근거리-원거리 BL 읽기 간의 읽기 동적 전력 비교 (가운데) 제안된 로우 액세스 인식 WA 회로 및 쓰기 동적 전력에 미치는 영향: (a) 개략도, (b) NBL 파형, (c) 근거리-원거리 BL 간의 쓰기 전력 비교 (오른쪽) 측정된 실리콘 데이터: (a) 측정된 쓰기 동적 전력, (b) Vmin 분포, (c) Vchip 대 Vcell shmoo 플롯.

프로세서 및 SoC

미디어텍 Tiny NPU: 미디어텍은 웨어러블 기기의 초저전력 상시 대기 추론(always on reasoning, AoR)을 위한 최초의 상용 3nm 디지털 컴퓨팅-인-메모리(DCIM) NPU 를 발표합니다. 512 개의 8 비트 MAC 와 256KB 온칩 메모리를 통해 1.47TOPS 의 성능을 제공합니다. 측정 결과 스마트 글래스에서 최대 10 일의 배터리 수명을 확보했으며, 트랜스포머 모델에서 최신 기술 대비 에너지를 31.8 배 적게 소모하여 효율적인 차세대 AoR 을 가능하게 했습니다. (Paper 45, "TinyNPU: A 3nm 0.06-134.36 μ J/token DCIM-Based Ultra Low Power NPU for Always-On Reasoning on Wearables," Y. Hsieh, E. Chang, C. Teng et al, MediaTek)

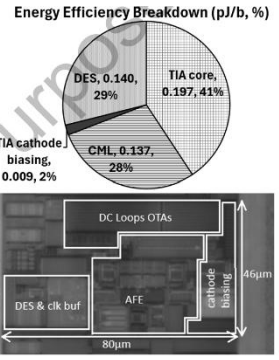
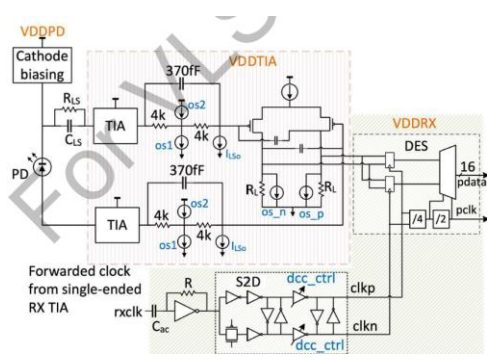


	CIM-DIA VLSI'23 [5]	NVE ISSCC'24 [6]	UMICH VLSI'25 [14]	T-REX ISSCC'25 [15]	This Work: TinyNPU
Applications	AoV	Super resolution	Transformer	Transformer	Always-On Reasoning (AoR)
Models	CNN	CNN	Bert, ViT	Bert, ViT	CNN, Transformer
Technology Node	12 nm	3 nm	22 nm	16 nm	3 nm
Voltage [V]	0.6	0.46-1.0	0.55-0.9	0.45-0.85	0.45-0.95
Freq [MHz]	100-200	400-1300	75-400	60-450	290-1440
Area [mm ²]	1.76	1.37	5.8	10.15	0.25
Precision [bit]	4/8	12	4/8	4/8/16	4/8/16
Computation	DCIM	DCIM	Digital MAC	Digital MAC	DCIM
# of MACs	128	6336	128 (dense) + 128 (sparse)	1024 (dense) + 256 (sparse)	512
L1 Memory [KB]	512	1073	576	1320	256
Peak Perf [TOPS]	0.205 (INT8)	16.5 (INT12)	0.92 (INT8)	0.81-2.15 (INT8)	1.47 (1) (INT8)
Latency [us/token]	32711 (us/fr) MobileNetV2	N/A	N/A	567 (us/fr) ViT-B	982.2 (us/fr) [1] 64.4 (us/fr) [1] MobileNetV2 166.9 (us/fr) [2] Bert-B
Energy [uJ/token]	80 (uJ/fr) MobileNetV2	1012 (uJ/fr) AISR	94.2 (uJ/fr) ViT-B	3.66 (uJ/fr) ViT-B	39.96 (uJ/fr) [2] 2.96 (uJ/fr) [2] MobileNetV2 7.57 (uJ/fr) [2] Bert-B

그림: (왼쪽) TinyNPU 사용 시나리오 (가운데) 칩 마이크로그래프 및 측정된 TinyNPU 성능 (오른쪽) 성능 요약 및 최신 기술과의 비교.

유선/광 트랜시버 및 광 interconnect 와 프로세서

엔비디아 광 수신기: 엔비디아는 3D 적층 실리콘 포토닉스(SiPh) 플랫폼에서 단일 전원을 사용하는 차동 트랜스임피던스 증폭기(TIA)를 활용한 32Gb/s 광 수신기를 발표합니다. 포토다이오드(PD)에서의 수신 감도(OMA 기준)는 32Gb/s 에서 -17.3dBm, 28Gb/s 에서 -18.9dBm 입니다. 32Gb/s 에서의 에너지 효율은 0.484pJ/b 입니다. 이 수신기는 Cu-Cu 하이브리드 본딩을 통해 65nm 실리콘 포토닉스 IC(PIC) 위에 7nm FinFET CMOS 전자 IC(EIC)를 적층한 구조로 구성됩니다. (Paper 62, "A 32Gb/s Optical Receiver utilizing a Differential TIA with -17.3dBm Sensitivity in a3D-stacked Silicon Photonics Platform," G. Kalogerakis et al, NVIDIA)



	[6]	[2]	[5]	[8]	[3]	This work
Tech.	16nm FINFET	130nm SiGe BiCMOS	55nm SiGe BiCMOS	180nm CMOS	55nm SiGe BiCMOS	7nm FINFET
Data Rate (Gb/s)	106	25	106	10	26	28/32
Modulation	PAM-4	NRZ	PAM-4	NRZ	NRZ	NRZ
OMA SENS. (dBm)	-13.97 ^a	-12 ^b	-5 ^c	-18.5	-15.2	-18.9/ -17.3 ^d
Energy eff. (pJ/b)	1.02 ^e	2.96 ^e	1.51 ^e	8.91 ^e	1.73 ^e	0.484 ^f
Supply Voltage (V)	3.3/1.8	3.3	3.3/2.5	3.3	1.6	2/1.01

그림: (왼쪽) 차동 TIA 가 포함된 제안된 수신기 회로도 (가운데) 칩 마이크로그래프 및 에너지 효율 분석 (오른쪽) 성능 요약 및 최신 기술과의 비교.