



Technical Highlights from the 2026 Symposium on VLSI Technology and Circuits

2026年のVLSIテクノロジー&回路シンポジウムは、半導体集積回路技術の進歩、進展、および進化を議論する最高峰のプレミアム国際会議であり、マイクロ/ナノエレクトロニクスにおけるブレークスルー、進歩、および進化を紹介します。このシンポジウムは、ハワイ州ホノルルのヒルトン・ハワイアン・ビレッジで開催され、ネットワーキングの機会を提供するとともに、シンポジウム終了後はオンデマンドコンテンツへのアクセスが可能となります。

本シンポジウムの全体テーマは「Advancing the AI Frontier through VLSI Innovation」です。先端技術開発、革新的な回路設計、およびそれらが可能にするアプリケーションを統合し、インテリジェントな接続デバイス、エネルギー効率の高いインフラ、そして人間同士のインタラクションを変革するAI対応ハードウェアシステムの新時代への世界的な移行の一環として位置づけられています。

以下に、このテーマに沿ったテクノロジー&回路シンポジウムのハイライト論文を紹介します

Technology Highlights

Advanced CMOS Technology

“First Demonstration of 3D Stacked FETs at Gate Pitch of 42nm Featuring Triple Stacked Nanosheet Channels for Advanced Logic Applications,” (Paper T1-1)

“先端ロジックアプリケーション向け3層積層ナノシートチャネルを特徴とするゲートピッチ42nmでの3D積層FETの初実証” – Samsung

Samsung は、同一ウェハ上の n-FET および p-FET の両方に 3 層積層ナノシートチャネルを持つ 3D 積層 FET (CFET) を初めて発表しました。これは、3D 積層 FET (CFET) として発表されたナノシートの最大枚数です。さらに、42nm という最小のゲートピッチにより、本研究は産業化可能な最も積極的な CFET スケーリングを実証しました。

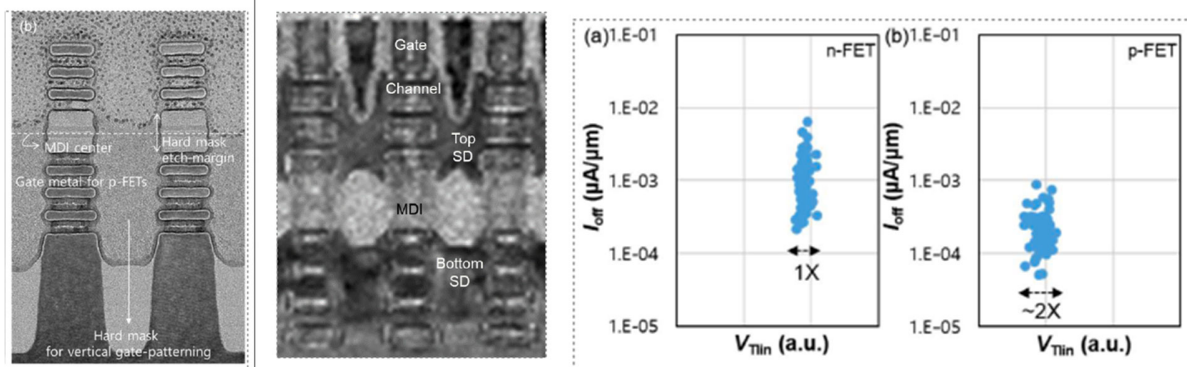


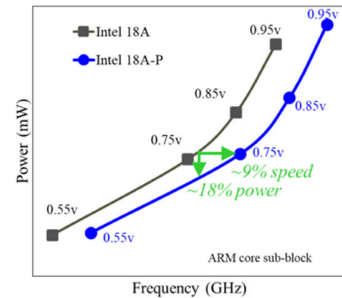
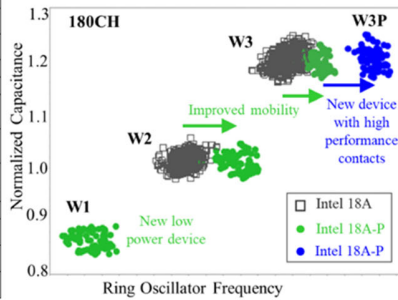
図 (左) n-FET および p-FET 用のゲートメタル形成後の TEM 画像。(中央) ゲートピッチ 42nm および 3 層積層ナノシートチャネルを持つ 3D Stacked FET のウェハ完成後 TEM 画像 (右) n-FET および p-FET の電気特性： I_{off} vs. V_{th}

“Intel 18A-P CMOS Technology Enhancement Featuring Advanced RibbonFET (GAA) Transistors and PowerVia for High-Performance Computing,” (Paper T1-2)

“高性能コンピューティング向け先端 RibbonFET (GAA) トランジスタおよび PowerVia を特徴とする Intel 18A-P CMOS テクノロジー性能向上” - Intel Foundry

Intel は、18A テクノロジーファミリーにおける性能向上を発表します。追加のロジック VT 設定、スキューコーナーのタイトニング、新しい低消費電力および高性能デバイス、放熱性の向上により、18A-P は同一電力で 9% の性能向上、または同一性能で 18% 以上のエネルギー効率を達成し、SRAM V_{min} を保ちつつ、ロジックの信頼性 (NBTI) の改善を実現しました。18A-P は 18A と設計互換性を持つものとして発表されます。

	18A Feature List	18A-P feature list
Performance @ Iso-Power	1x	9% Iso-Power Performance Gain
Contacted Poly pitch (nm)	50	50
Library Height (nm)	180 160	180 160
Transistor	Z2, Z3	Z1, Z2, Z3
	Z1 (Low Power)	Z1.5 (Low Power)
VT	Z3P (HP contact)	Z3P (HP contact)
	4 pairs of Logic VTs (New Logic VT between ULVT and LVT)	5+ pairs of logic VTs (New Logic VT between ULVT and LVT) Lower ULVT
Skew corners		~30% tightening in skew corners
Interconnect RC	Intel 18A Base Process	V0-V2 R reduction; M2-M4 jogs
Thermals		Improved thermal conductivity by 50%

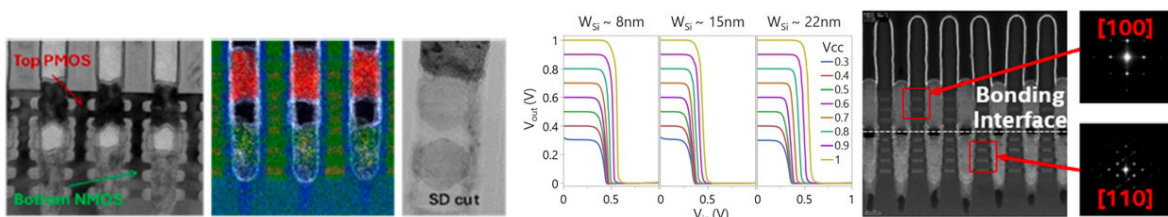


図：(左) Intel 18A と比較した Intel 18A-P の新技術の特徴 (中央) 18A-P における新デバイス (低消費電力および高性能) の性能 (右) Intel 18A-P は、業界標準の ARM コアサブブロックにおいて、Intel 18A と比較して 0.75V で約 9%の同一電力性能向上を実証。

“Demonstration of CFET Inverters on Si (110) with 2X2 RibbonFETs at 45nm Gate Pitch with PowerVia and Direct Backside Contacts,” (Paper T5-2)

“PowerVia およびダイレクトバックサイドコンタクトを備えた 45nm ゲートピッチでの 2X2 RibbonFET による Si (110)上 CFET インバータの実証” - Intel Corporation

Intel は、PPA 改善を提供する CFET 技術のいくつかの新機能を実証します。これには、45nm ゲートピッチ、PowerVia、ダイレクトバックサイドコンタクト、Intra-connect 用 Epi-to-Epi ビア (上部デバイスと下部デバイスの接続)、および NMOS 上に PMOS を配置するユニークな構造が含まれます。さらに、PMOS 性能を向上させるために、10nm 未満のミドル誘電体分離 (MDI) を挟んで、下層に Si (100)面を用いた NMOS、上層に Si (110)面を用いた PMOS のハイブリッドスタックを採用しています。

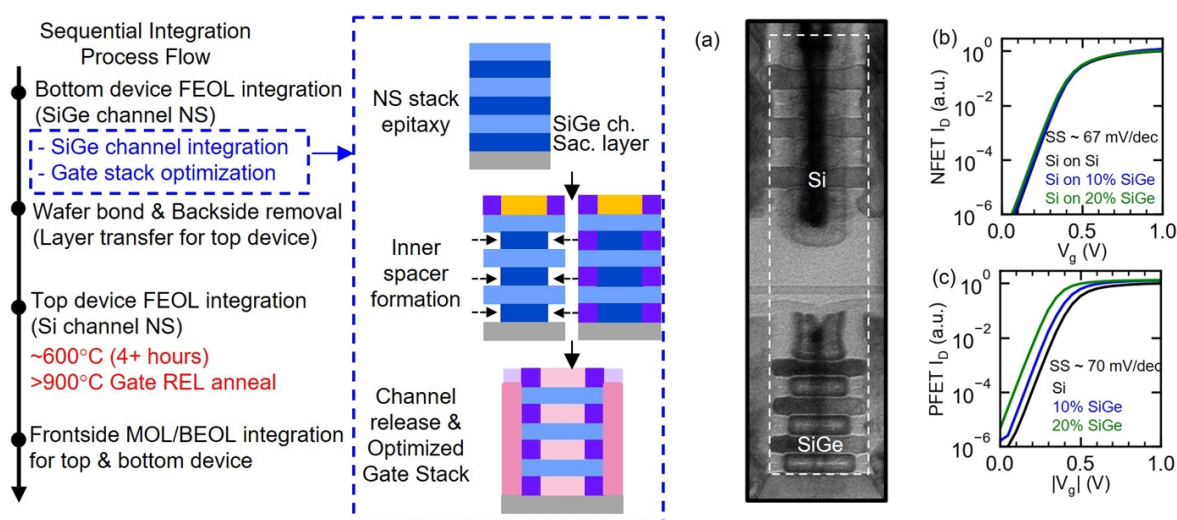


図：(左) Si (110)基板上的垂直デュアルエピ後のコンタクトポリピッチ CPP=45nm における 2 リボン CFET デバイスの TEM 顕微鏡写真 - PMOS 上部配置の初の CFET 技術 (中央) VCC が 0.3V から 1V の範囲での Si (110)ウェハ上 CPP=45nm における CFET インバータの電圧伝達特性 (VTC)、これは現在までの CFET 技術の最大の進歩を示す (右) 同一のモノリシック CFET プロセスで処理された接合ウェハの EM 顕微鏡写真、Si (110)および Si (100)のチャンネル方向を示す。

“High-Temperature Resilient SiGe Nanosheet PFET RMG Towards Multi-Tiered Sequential Integration,” (Paper T5-4)

“多階層型順次積層に向けた高温耐性 SiGe ナノシート RMG PFET” - IBM Research

IBM は、CFET において下部に SiGe PFET を形成し、その後上部に Si NFET を順次積層することで検証された、900°C を超える高温安定性を持つ SiGe ナノシート (NS) リプレースメントメタルゲート (RMG) PFET を実証します。製作された PFET デバイスは、70mV/dec のサブスレッシュヨルドスロープを持つ優れた I_d - V_g 特性を示すことが確認されました。これらの結果は、多階層型順次積層への道を開くものです。

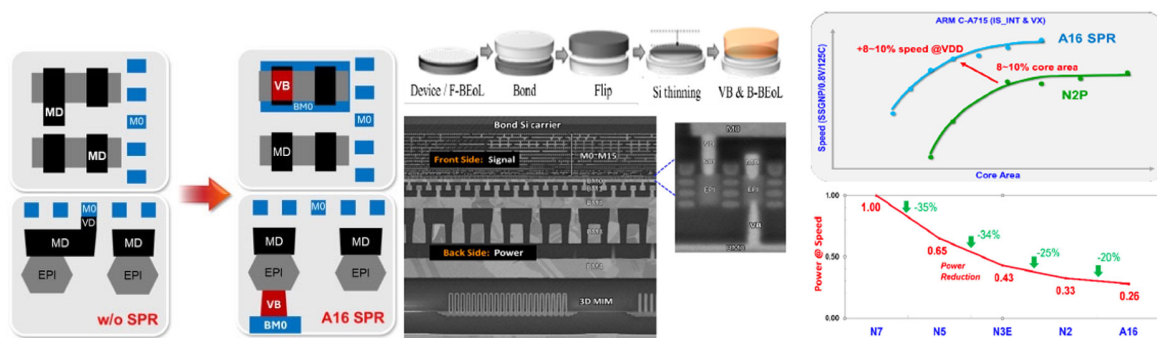


図：(左) SiGe GAA NS チャンネル (下部) および Si GAA NS チャンネル (上部) を持つスタック FET の高レベル統合プロセスフロー。(右) 熱的に安定した SiGe PFET 上の積層 Si NFET の断面 TEM、優れたオーバーレイを示す。完全な順次積層後の Si、10% SiGe、および 20% SiGe デバイスの I_d - V_g 曲線。すべての PFET デバイスは約 70mV/dec のサブスレッシュヨルドスロープを示し、SiGe チャンネルデバイスにおける界面トラップによる追加の劣化がないことを示唆しています。

“A16 Angstrom-class CMOS Technology featuring Enhanced Nanosheet Transistors with SuperPower Rail (backside direct contact power delivery) for AI and HPC Applications” (Paper T1-5, Late news)

“AI および HPC アプリケーション向け Super Power Rail (バックサイドダイレクトコンタクト電力供給) を備えた強化ナノシートトランジスタを特徴とする A16 オングストロームクラス CMOS テクノロジー” - TSMC

TSMC は、A16 プラットフォームテクノロジーを発表します。これは、Super Power Rail (SPR) と名付けられた新しいバックサイドダイレクトコンタクトを組み込んだバックサイド電力供給ソリューションを備えた最新の GAA テクノロジーです。N2P (性能強化版 N2) と比較して、A16 は同一電力でさらに 8%-10% の高速化、または 15%-20% の電力改善と追加で 8%-10% のチップ密度向上を提供します。A16 の量産は 2026 年第 4 四半期に予定されています。



図：(左) バックサイドダイレクトコンタクト (VB) 電力供給を備えた A16-SPR の模式図。(中央) SPR プロセスフロー模式図およびバックサイドダイレクトコンタクト電力、フロント/バックサイドメタル、3D MiM を備えた強化ナノシートトランジスタを示す A16 SPR TEM。(右) A16 は ARM コアでのベンチマークにおいて N2P と比較して最大 10% の高密度化と高速化を提供。

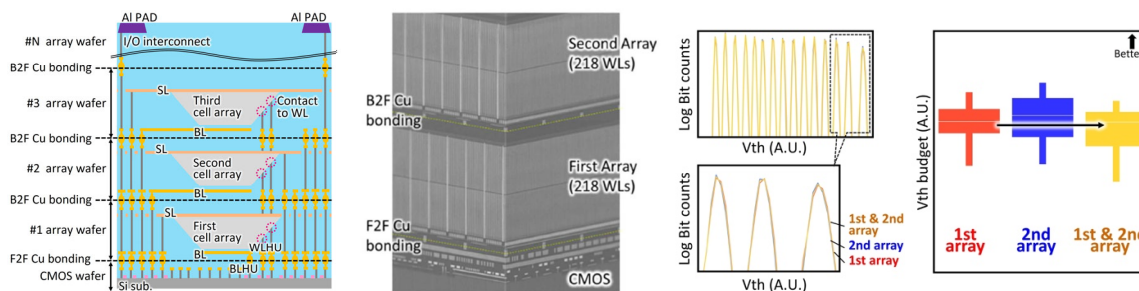
Memory Technology

“A Multi-Stacked Cell Array Architecture with Wafer-to-Wafer Cu Direct Bonding for Ultra-High-Density 3D Flash Memory beyond 1,000 Word Lines,” (Paper T1-4)

“1,000 ワード線を超える超高密度 3D フラッシュメモリ向けウェーハ間 Cu 直接接合によるマルチ積層セルアレイアーキテクチャ” - Kioxia Corporation

Kioxia と Sandisk は、直接ウェーハ接合されたマルチ積層セルアレイ CMOS (MSA-CBA) のクアドレベルセル (QLC) 動作の世界初の成功を共同発表します。このブレイクスルーは、3D フラッシュメモリの高積層における主要な課題であるセル電流劣化、ウェーハ反り、および大ブロック

(BLK) サイズを克服しています。これらの結果は、1,000 層以上の積層を持つ超高密度 3D フラッシュメモリに向けたマイルストーンとなります。

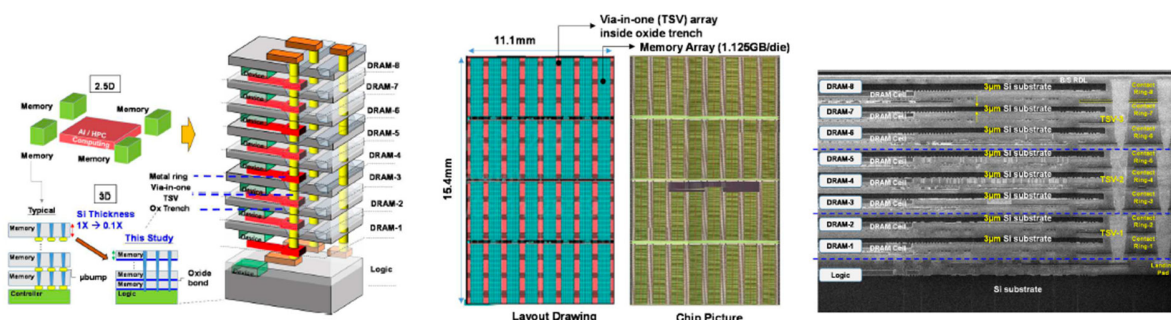


図：(左) 順次積層および接合を示す MSA-CBA デバイス構造の概念図 (中央) 各 218WL を持つ 2 枚のアレイウェーハの接合成功を示すマルチ積層セルアレイの FIB-SEM 画像、大規模積層の有効性を実証 (右) 個々の第 1 および第 2 セルアレイと MSA-CBA 全体構造の比較は、BL 選択型 MSA-CBA における安定した Vth 特性と信頼性の高い QLC 動作を実証。

“Multiple-Wafer (9-layer), Extreme thin (3 μ m-Si per stack) and Innovative Fusion-bonded Via-in-one Architecture for High Bandwidth 3D Memory,” (Paper T17-5)

“高帯域 3D メモリ向けマルチウェーハ (9 層)、極薄 (スタックあたり 3 μ m-Si) および革新的フュージョンボンド Via-in-one アーキテクチャ” - SAIMEMORY

SAIMEMORY、Intel、PSMC、AP の研究者が、3D 高帯域 DRAM に実装されたマルチウェーハ via-in-one TSV アーキテクチャを実証します。8 層スタック内のすべての金属配線層は TSV バスに直接接続され、より優れた信号およびパワーインテグリティを提供します。このアーキテクチャは、低データ転送電力で卓越したメモリ帯域幅 (約 0.25Tb/s/mm²) を提供します。



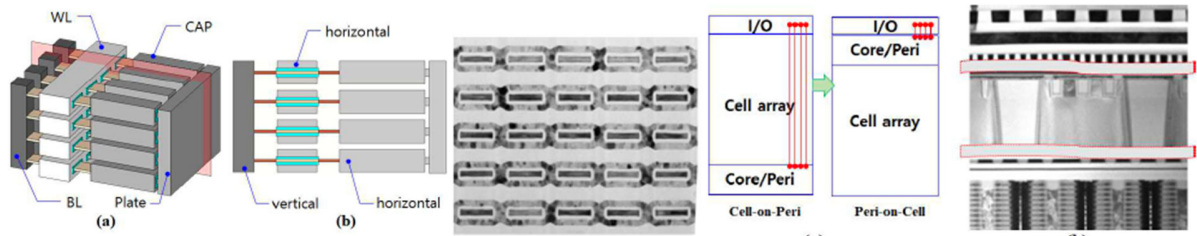
図：(左) 2.5D パッケージングにおけるマイクロバンプ付き一般的なメモリと via-in-one TSV 付きフュージョンボンド 3D メモリの比較 (中央) 3D メモリレイアウトおよび上面からのチップ顕微鏡写真 - 1.125GB のメモリアレイはダイあたり 13.7K 個の via-in-one TSV アレイで構成 (右) 1+8 積層

Logic/DRAM アーキテクチャの断面画像 - 各 DRAM に極薄 Si 基板（約 3 μm ）を形成。Via-in-one は各セットで 2~3 個のメタルリングに接触します。

“Vertically Stacked DRAM Technology for Scaling Evolution,” (Paper T5-1)

“スケーリング進化に向けた垂直積層 DRAM テクノロジー” - Samsung

10nm ノード以降の DRAM スケーラビリティの課題に対応するため、Samsung はゲートオールアラウンド (GAA) セルトランジスタ (CTR) および水平ストレージキャパシタ (CAP) を採用した 16 層垂直積層 DRAM (VS-DRAM) を実証します。さらに、別々のウェハ上にコア/周辺デバイスを製作しセルウェーハに接合することで Peri-on-Cell (PoC) アーキテクチャの実現可能性を実証し、将来のメモリ技術の有望な候補として強調します。

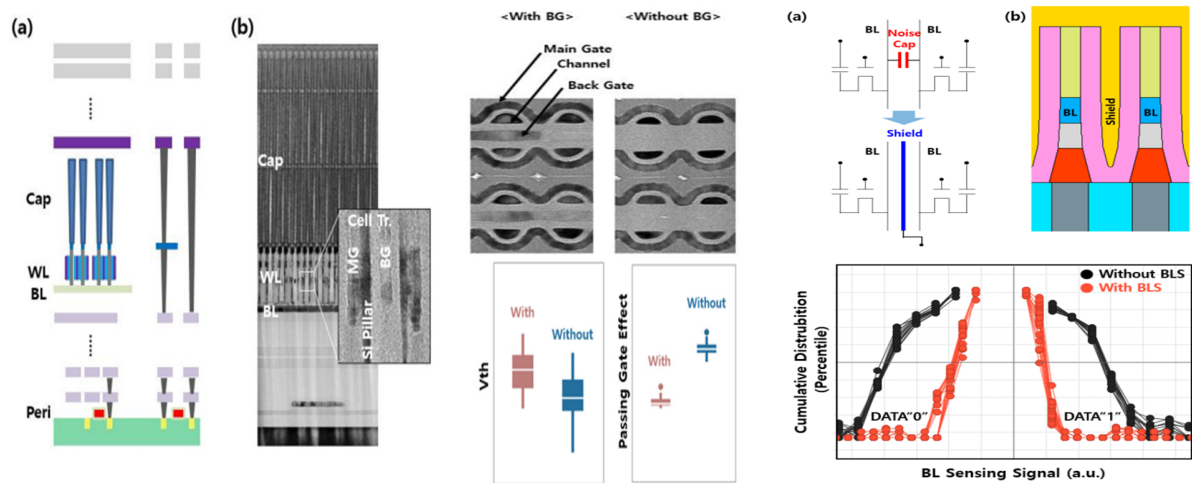


図：(左) 垂直ビット線 (BL) と水平ワード線 (WL) 及び水平キャパシタを持つ VS-DRAM の(a)鳥瞰図、および(b)断面図 (中央)GAA セルトランジスタの断面 TEM 図。(右) 製作されたゲートオールアラウンドデバイスの断面 TEM 画像および I/O 効率の点で PoC アプローチが優れていることを強調する Peri-on-Cell (PoC) の TEM 画像。

“Electrical Characteristics of the 4F² Vertical Gate (VG) DRAM integrated with BitLine Shielding (BLS) and Back Gate (BG) Transistor;” (Paper T8-5, Late News)

“ビットラインシールドイング (BLS) およびバックゲート (BG) トランジスタを統合した 4F² パーティカルゲート (VG) DRAM の電気特性” - SK hynix

SK Hynix は、カップリングノイズを抑制するビットラインシールドイング (BLS) およびしきい値電圧 (V_{th}) 制御とパッシングゲート効果を向上させる共有バックゲート (BG) を含む主要技術を組み込んだ 4F² パーティカルゲート DRAM の電気特性を発表します。ウェハ接合構造における信頼性の高い回路動作をサポートするために、ダイ薄膜化も実施されています。セルトランジスタのロバストな性能と 4F² VG DRAM の読み書き動作が達成されました。



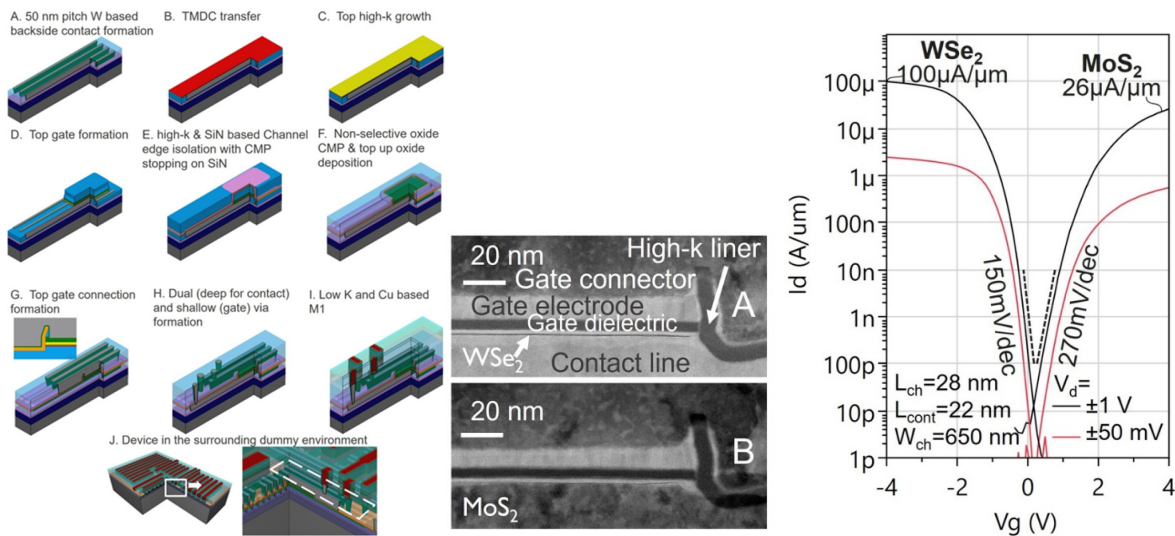
図：(左) (a)フュージョンウェーハボンディングを通じて周辺デバイスと統合された $4F^2$ VG DRAM セルトランジスタの模式図および(b) $4F^2$ VG DRAM の断面 TEM 画像 (中央) VG DRAM アレイの TEM 平面図および VG セルトランジスタの機能に対するバックゲートの効果。(右) BLS 構造の概念設計および模式図 - BLS は BL センシング障害を大幅に改善

Processes and Materials for CMOS Scaling and New Devices

“First EUV-enabled Integration Route for 50nm Pitch N and PMOS Transistors with 2D Materials Channel from a 300mm Fab,” (Paper T1-3)

“2D 材料チャネルを持つ 50nm ピッチ N および PMOS トランジスタ向け初の EUV 対応 300mm プロセスインテグレーション” - imec

imec は、EUV リソグラフィと 300mm ファブプロセスを活用した 2D 材料チャネルを持つトランジスタの新しい統合フローを実証します。このアプローチにより、50nm までのコンタクトピッチ、75nm までのアクティブ幅、および約 2nm の等価酸化膜厚 (EOT) を特徴とするスケールされたトランジスタの製造が可能になりました。さらに、ダイまたは小ウェハ転写法により、同一ウェハ上に NMOS 用の MoS_2 と PMOS 用の WSe_2 という異なるチャネル材料を並べて配置することで、疑似的に CMOS インテグレーションが達成されました。



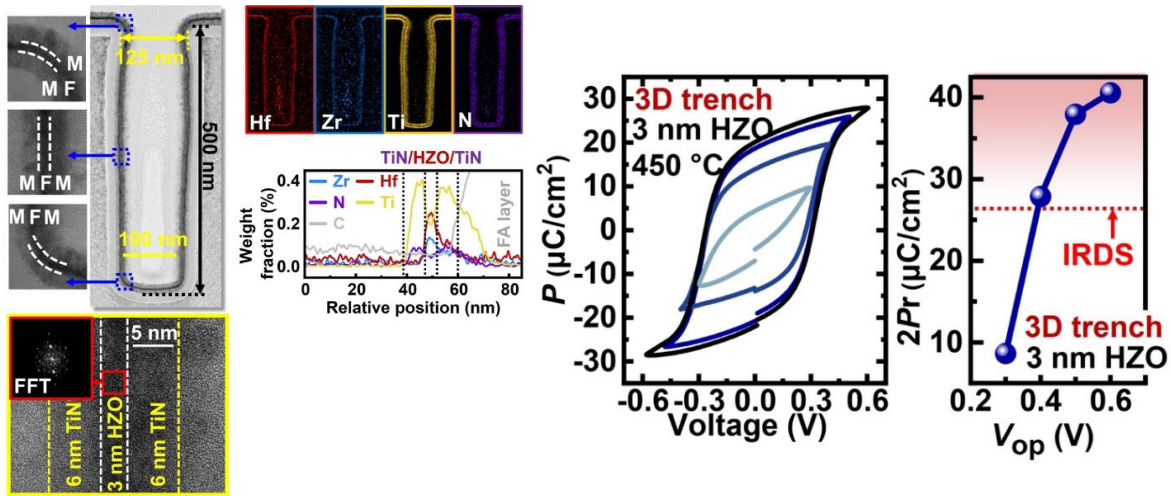
図：(左) 本論文で提案されたプロセスフロー (中央) 製作された遷移金属ダイカルコゲナイド (TMD) 材料 (NMOS 用 WSe₂ および PMOS 用 MoS₂) の断面 STEM 画像。(右) 製作された NMOS および PMOS デバイスの Id-Vg 特性。

Device Physics, Characterization, Modeling and Reliability

“Record 2P_r (>38μC/cm² at 0.5 V, >28μC/cm² at 0.4V) of 3D MFM Capacitors Enabled by 3nm HZO and ALD-TiN Orientation Engineering,” (Paper T5-3)

“3nm HZO および ALD-TiN 配向エンジニアリングによる 3D MFM キャパシタの記録的 2P_r (0.5V で>38μC/cm²、0.4V で>28μC/cm²) ,”- 山東大学(Shandong University)

シンガポール国立大学、山東大学および A*STAR マイクロエレクトロニクス研究所は、配向制御 ALD-TiN 電極を持つ 3nm 超薄膜 HZO を特徴とする 3D MFM (金属-強誘電体-金属) キャパシタの研究について報告します。ALD 成膜された TiN/HZO/TiN スタックは、超低動作電圧で 2P_r を示し、0.5V で 2P_r>38μC/cm²、0.4V で 2P_r>28μC/cm² を達成しました。0.4V までの低動作電圧においても、IRDS の 2P_r 目標 (≥26.5μC/cm²) を満たしています。



図：(左) 製作された3Dトレンチ MFM キャパシタ（深さ：500nm、開口径：125nm）の FFT および EDX 分析を伴う TEM 画像。(右) 最適化された TiN 配向で 450°C アニールされた 3nm HZO ベース 3D トレンチ FE キャパシタの測定 P_r - V 特性。

Sensors, Imagers, IoT, MEMS, Display Circuits

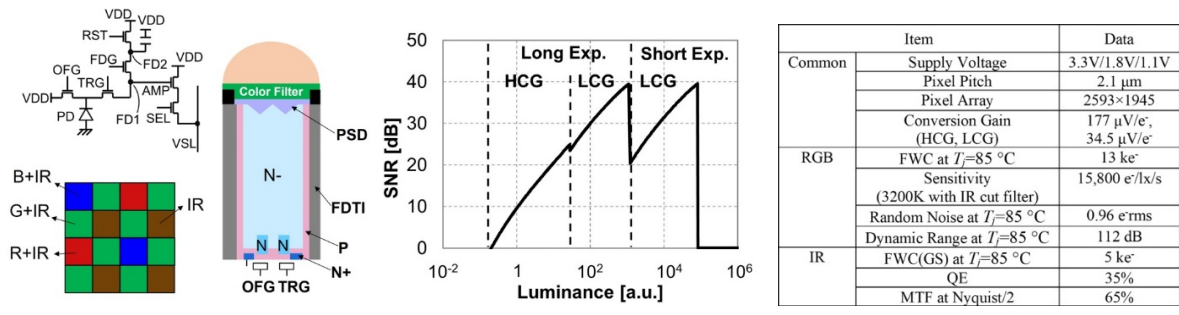
“A 2.1- μm Pixel-Pitch CMOS Image Sensor with 65% MTF/35% QE IR Global Shutter and RGB Rolling Shutter Sequential Operation for In-cabin Applications,” (Paper T5-5)

“車室内アプリケーション向け 65% MTF/35% QE IR グローバルシャッターおよび RGB ローリングシャッター順次動作を備えた 2.1 μm ピクセルピッチ CMOS イメージセンサ” - Sony Semiconductor

Sony は、車室内アプリケーション向けにローリングシャッター（RS）およびグローバルシャッター（GS）モードを組み合わせた順次動作を持つ 2.1 μm RGB-IR CMOS イメージセンサを提案します。

RGB センサとして、 $T_j=85^\circ\text{C}$ で 112dB のダイナミックレンジ（DR）を達成し、高品質な可視画像撮影を可能にしました。IR センサについては、65%の変調伝達関数（MTF）と 35%の赤外線量子効率

（IR-QE）という最先端の特性を達成し、IR 照明下での視線検出を容易にします。さらに、IR センサは 65%の MTF と 35%の IR-QE を特徴とする優れた性能を達成しました。



図：(左) 提案されたセンサの画素回路図および構造。RGB フィルターは IR 感度も備えています。(中央) $T_j=85^\circ\text{C}$ における RGB フレームの SNR 曲線。112dB の DR を達成。(右)性能一覧、RGB と IR の両方で良好なピクセル性能を達成しました。

Circuits Highlights

Wireless Circuits

“A 144Gbps D-Band Dual-Polarized MIMO High-Density Phased-Array Transceiver in 65nm CMOS for 6G UE,” (Paper C1.5)

“144Gbps を達成する 6G ユーザ機向け D 帯デュアル偏波 MIMO 高密度フェーズドアレイトランシーバ” – 東京科学大学

東京科学大学の研究グループは、65nm CMOS で世界初となる D 帯デュアル偏波 MIMO フェーズドアレイトランシーバを開発しました。1 チップに垂直・水平それぞれ 4 素子の TRX を 3mm×4mm に高密度集積し、2 チップ構成により 8V+8H のアレイ動作を実現しています。0.3m で 144Gbps、3m で 64Gbps の高速通信に加え、単一ストリームで最大 50m の長距離通信も達成し、6G 向けサブ THz 無線の高集積・高効率化を示しています。

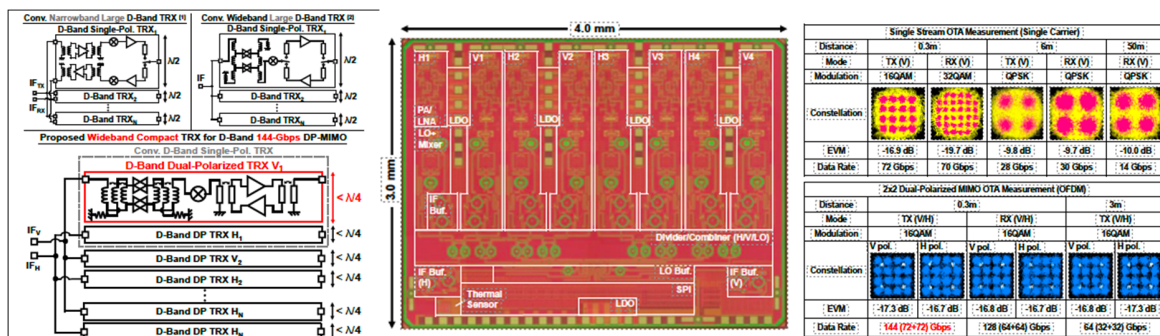


図: (左) 垂直・水平偏波それぞれに対して $\lambda/4$ 間隔で TRX を配置した高密度アーキテクチャ。(中央) $3\text{mm} \times 4\text{mm}$ チップ内に $4\text{V}+4\text{H}$ 素子を集積したトランシーバのダイ写真。
(右) 最大 144Gbps のデータレートと長距離通信性能を示す無線測定結果。

"A 28-GHz Quadrature LO-Phase-Shifting Digital Wave-Locked Loop (WLL)" (Paper C4.4)

"28GHz 帯において位相シフト機能を内蔵した四相デジタル波形同期ループ" – ダブリン大学

ダブリン大学の研究グループは、低ジッタ・低スプリアス・高速ロックを実現する 28GHz デジタル波形同期ループを提案しました。IQ サンプリングとアークタンジェント演算による高分解能位相検出により、 57.2fs のジッタと -80.6dBc のスプリアスを達成しています。また、 360° 位相シフト (分解能 2.8125°) および $\pm 1.5\text{GHz}$ の高速周波数切替 ($0.59\mu\text{s}$ 未満) を実現し、ミリ波 MIMO 向け高性能 LO 生成技術を示しました。

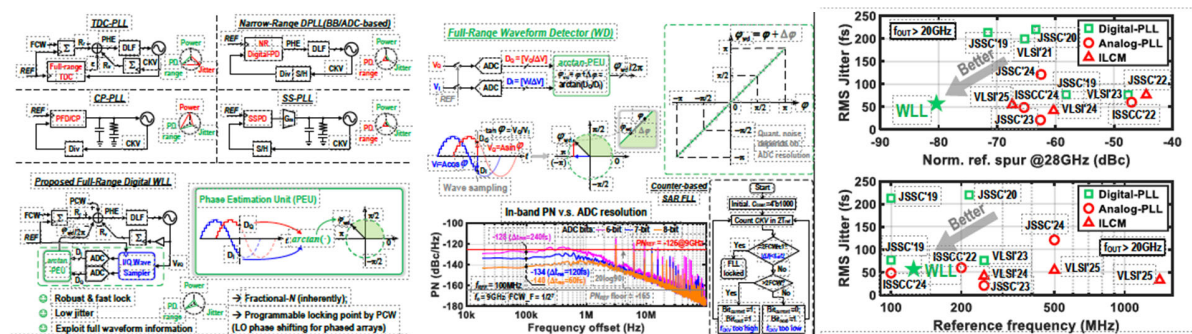


図: (左) 従来 PLL と提案 WLL の構成比較。(中央) アークタンジェント演算を用いた高分解能波形検出器。(右) 28GHz におけるジッタとスプリアス性能の比較結果。

Analog and Data Converter Circuits

"Unified Digital Thermal-Voltage Sensor for Thermal Management in Intel 18A/Intel 3" (Paper C10.5)

"Intel 18A/Intel 3 向け熱管理用統合デジタル温度・電圧センサ" – Intel

Intel の研究グループは、3DIC DNN プロセッサ向けの高密度配置可能なデジタル熱・電圧センサを開発しました。異なる感度を持つ 2 つのリングオシレータを用い、量産キャリブレーションにより温度・電圧誤差をそれぞれ数 $^\circ\text{C}$ ・数 mV レベルに抑えています。さらに経年劣化補償やリアルタイム監視、コア単位の動的制御により、DNN 処理遅延を 24% 削減しました。

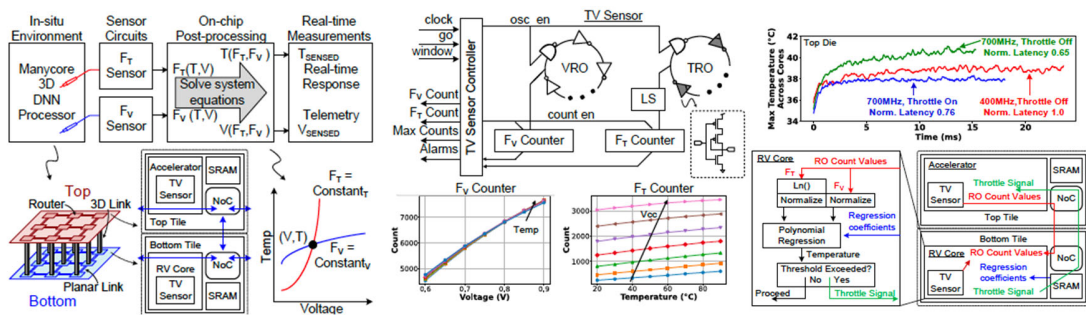


図: (左) 3DIC DNN プロセッサ内に分散配置されたセンサ。(中央) デュアルリングオシレータに基づくデジタルセンサ構成。(右) リアルタイム熱監視と動的制御による性能改善結果。

"Robust Configurable 1.5MHz / 2.5MHz IF Quadrature CT $\Delta\Sigma$ Modulator Using SAQB and QDNC for 175.4dB FoMs in 14nm FinFET" (Paper 28.5)

"14nm FinFET で 175.4dB の性能指数を達成した低 IF 四相連続時間 $\Delta\Sigma$ 変調器" – Samsung Electronics

Samsung の研究グループは、低 IF 受信機向けの高口バストな四相 $\Delta\Sigma$ 変調器を開発しました。単一アンプ構成とデジタル雑音結合技術により 6 次ノイズシェーピングを実現し、175dB 超の FoM を達成しています。50 チップ測定でも $\pm 3\text{dB}$ 以内のばらつきに抑えられており、Bluetooth などの低 IF 受信機向けに有効な ADC 構成を示しました。

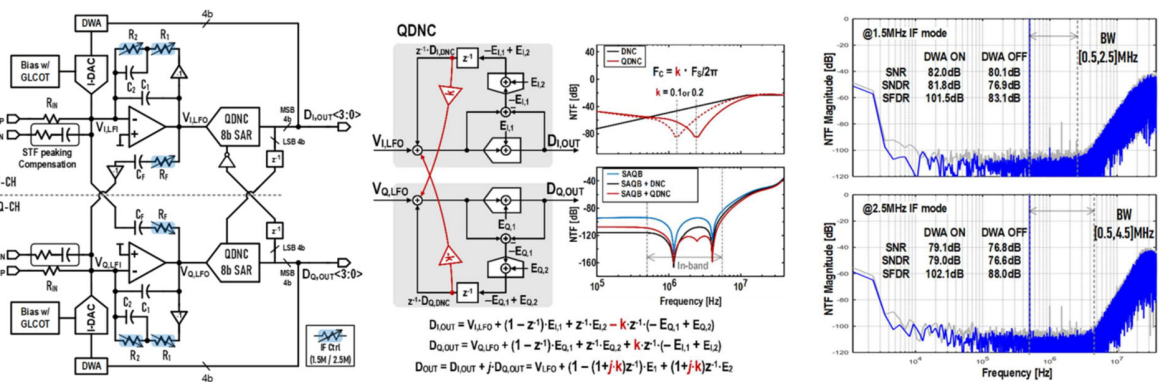


図: (左) SAQB とデジタル雑音結合を用いた四相 $\Delta\Sigma$ 構成。(中央) 高次ノイズシェーピングを実現する QDNC 機構。(右) 高 SNDR と帯域内雑音抑圧を示す測定スペクトル。

Devices and Accelerators For ML/DL and New Compute

"A 2nm 234.4TOPS/W and 511.9TOPS/mm² Digital Computing-in-Memory Compiler with Multiple MAC Units per Weight and Multiple Data Format Support" (Paper C8.1)

"複数 MAC と多様なデータ形式に対応した 2nm デジタル CIM コンパイラ" – TSMC

TSMC の研究グループは、複数のデータ形式（INT8/INT4/INT16 など）と重みあたり複数 MAC をサポートする CIM コンパイラを開発しました。0.38V 以下の低電圧動作、最大 234.4TOPS/W の高効率、511.9TOPS/mm² の高密度を実現し、エッジ AI 向け計算のスケラブルな実装技術を示しました。

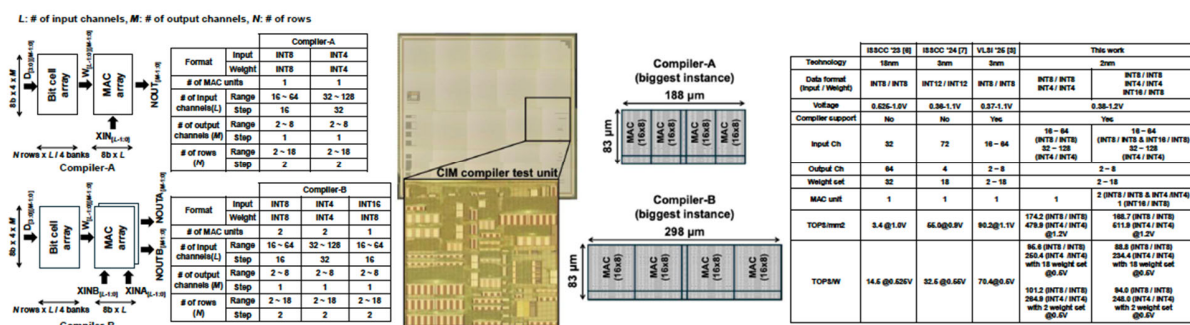


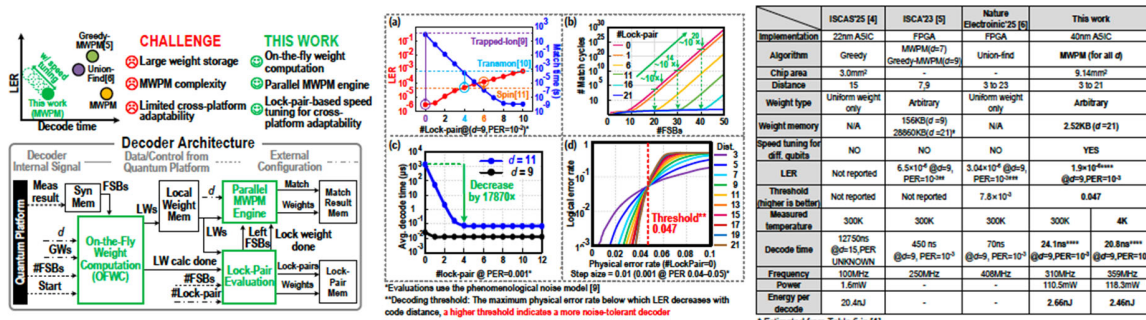
図: (左) 複数データ形式・複数 MAC 対応の CIM コンパイラ構成。(中央) 2nm テストチップ外観。(右) エネルギー効率および計算密度の性能比較。

"A Full-MWPM Surface Code Decoder with On-the-Fly Weight Computation and Cross-Platform Adaptability Achieving 1.9×10^{-6} LER and 20.8-ns Decode Time at 4K" (Paper C7.3)

"オンザフライ重み計算とクロスプラットフォーム適応性により 4K で 1.9×10^{-6} の論理誤り率と

20.8ns 復号時間を達成したフル MWPM サーフェスコードデコーダ" – 南方科技大学 / 高知工科大学

南方科技大学と高知工科大学の研究グループは、距離 21 までのフル MWPM（最小重み完全マッチング）に対応するクライオ CMOS サーフェスコードデコーダを開発しました。オンザフライ重み計算により重みメモリ面積を 989 分の 1 に削減し、並列マッチングエンジンによってフル MWPM を実現しています。40nm 試作チップにおいて、4K 動作で論理誤り率 1.9×10^{-6} 、復号時間 20.8ns を達成し、従来比で 3.3 倍~612 倍の高速化と 1 回あたり 2.46nJ のエネルギー消費を実現しています。



Figures: (左) 提案デコーダの主な利点と全体アーキテクチャ。(中央) ロックペアベースの速度調整の測定結果 (a)、FSB 数に対するマッチングサイクル (b)、復号時間 (c)、復号しきい値 (d)。(右) 性能概要および従来技術との比較。

Power Management Devices and Circuits

"A Monolithic 20W/mm² 4.8V Input 94.8% Peak Efficiency 2-1 Switched Capacitor Voltage Regulator as First-Stage Current Multiplier for Vertical Power Delivery" (Paper C2.1)

"垂直電力供給向け第1段電流増幅器として動作する 20W/mm²・4.8V 入力・94.8% 効率のモノリシック 2:1 スイッチトキャパシタ電圧レギュレータ" – Intel

Intel の研究グループは、SoC パッケージ入力電圧を 4.8V まで引き上げる第1段電流増幅器として動作するモノリシックスイッチトキャパシタ電圧レギュレータを開発しました。スタック構造デバイスと同期動作する補助電源回路により、自己生成駆動電圧・高効率ゲート駆動・安全な起動を実現しています。これにより、20W/mm²の電力密度と 94.8%のピーク効率を達成しています。

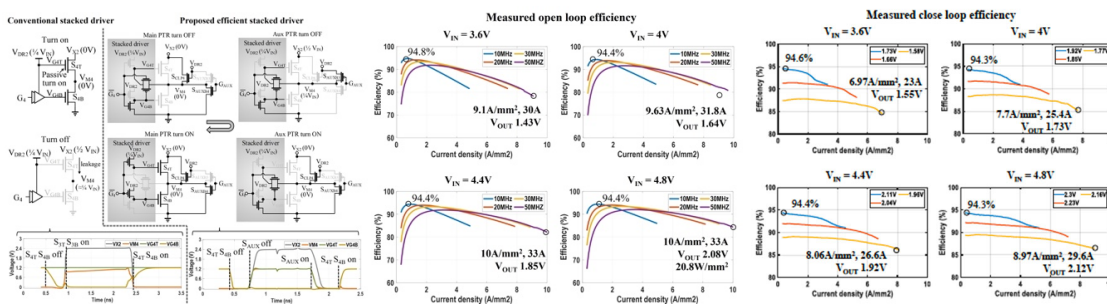


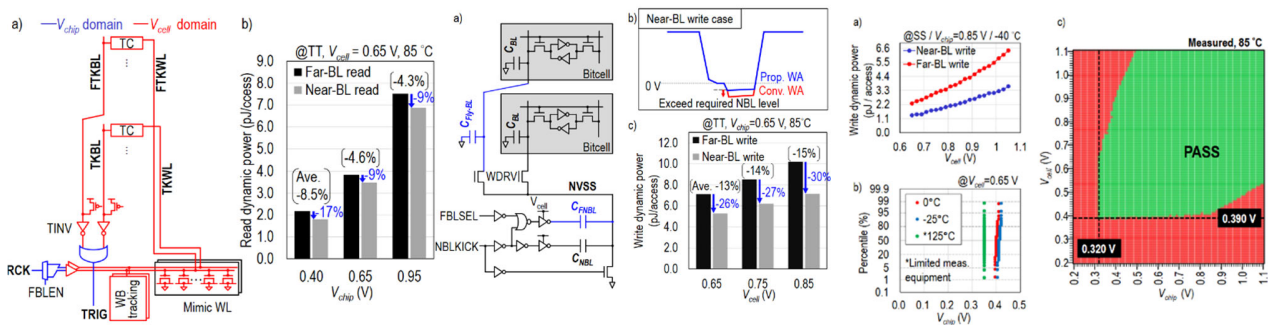
図: (左) 従来方式と提案スタックデバイスによるゲート駆動方式の比較。(中央) オープンループ効率の測定結果。(右) クローズドループ効率の測定結果。

Memory Technologies, Devices, Circuits, and Architectures

"A 2nm 37.4 Mbit/mm² Dual-Rail SRAM with Row-Access Aware Read Tracking and Write Assist Circuits Enabling 2.28 pJ/Access Energy Efficient Operation" (Paper C29.1)

"行アクセス認識型読み出し追跡および書き込み支援回路により 2.28pJ/アクセスの高効率動作を実現した 2nm・37.4Mbit/mm²デュアルレール SRAM" – TSMC Design Technology Japan

TSMC Design Technology Japan の研究グループは、行アクセス認識型の読み出し追跡および書き込み支援回路を用いた高密度 6T SRAM を開発しました。読み出しではワードライン遮断タイミングの最適化により最大 8.7%（平均 8.5%）の動的電力削減を実現し、書き込みでは平均最大 15%の電力削減を達成しています。2nm ナノシート技術で実装された 539kbit のデュアルレール SRAM マクロにより、37.42Mbit/mm²の高密度、0.35~1.10V（125°C）での低電圧動作、および 2.28pJ/アクセスの高効率動作を実証しています。



図：（左）行アクセス認識型読み出し追跡回路：（a）回路構成、（b）近距離／遠距離ビットライン読み出し時の動的電力比較。（中央）書き込み支援回路：（a）回路構成、（b）NBL 波形、（c）近距離／遠距離ビットラインにおける書き込み電力比較。（右）実測シリコンデータ：（a）書き込み動的電力、（b）V_{min} 分布、（c）V_{chip} と V_{cell} のシュムプロット。

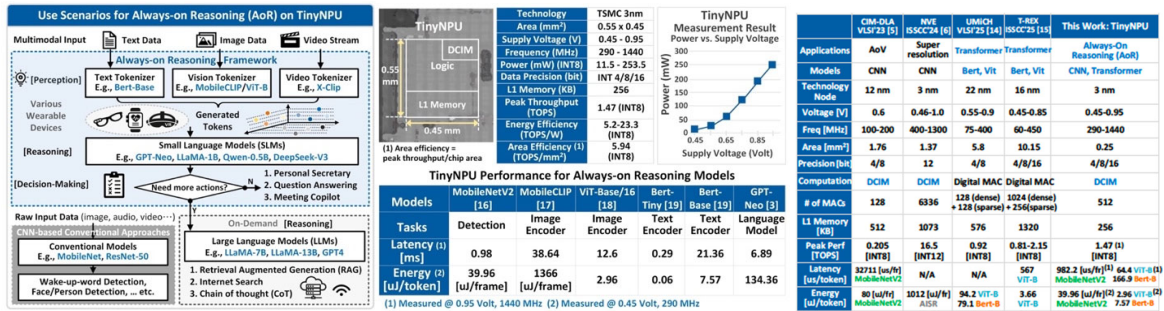
Processors and SoCs

"TinyNPU: A 3nm 0.06–134.36 μJ/token DCIM-Based Ultra Low Power NPU for Always-On Reasoning on Wearables" (Paper C21.1)

"ウェアラブル向け常時推論を実現する 3nm・0.06~134.36μJ/トークンの DCIM 型超低消費電力 NPU" – MediaTek

MediaTek の研究グループは、ウェアラブル機器における常時推論（Always-on Reasoning, AoR）向けとして、世界初の 3nm デジタル CIM（DCIM）ベース NPU を開発しました。512 個の 8 ビット MAC

と 256KB のオンチップメモリを備え、1.47TOPS の性能を達成しています。測定結果では、スマートグラスで最大 10 日間のバッテリー駆動を実現し、トランスフォーマモデルにおいて従来技術比で最大 31.8 倍のエネルギー効率向上を達成しており、次世代の省電力常時推論を可能にしています。



図：(左) TinyNPU のユースケース（ウェアラブル機器における常時推論など）。(中央) チップマイクログラフおよび測定された性能。(右) 性能概要および従来技術との比較。

Wireline and Optical Transceivers, Optical Interconnects and Processors

"A 32Gb/s Optical Receiver utilizing a Differential TIA with -17.3dBm Sensitivity in a 3D-stacked Silicon Photonics Platform" (Paper C20.2)

"3次元積層シリコンフォトニクス基盤において-17.3dBmの高感度を実現した差動TIA搭載32Gb/s光受信機" – NVIDIA

NVIDIA の研究グループは、3D 積層シリコンフォトニクス (SiPh) プラットフォーム上で動作する 32Gb/s 光受信機を開発しました。単一電源で動作する差動トランスインピーダンスアンプ (TIA) を採用しており、フォトダイオードにおける受信感度 (OMA) は 32Gb/s で -17.3dBm、28Gb/s で -18.9dBm を達成しています。32Gb/s 動作時のエネルギー効率は 0.484pJ/bit です。本受信機は、7nm FinFET CMOS の電子回路 IC (EIC) を 65nm シリコンフォトニクス IC (PIC) の上に Cu-Cu ハイブリッドボンディングで積層した構造を採用しています。

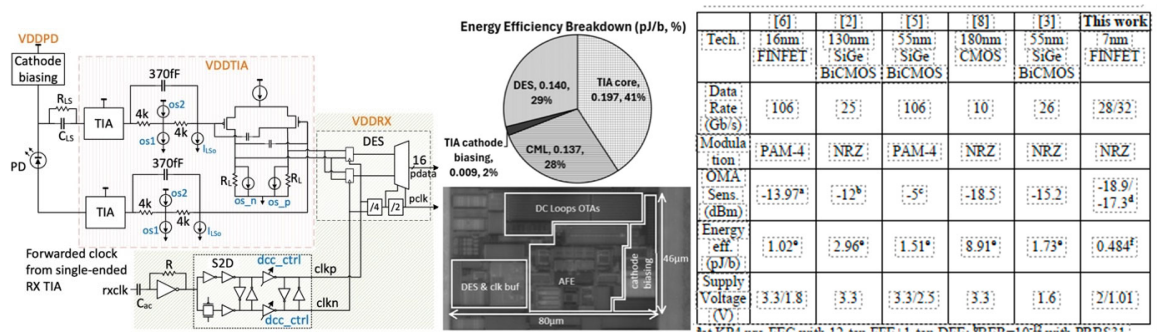


図: (左) 差動 TIA を用いた提案受信回路の構成図。(中央) チップマイクログラフおよびエネルギー効率の内訳。(右) 性能概要および従来技術との比較。

###