



## 2024年 VLSI テクノロジー&回路シンポジウムの技術ハイライト

2024年のVLSIテクノロジー&回路シンポジウムは、半導体集積回路技術の進歩、進展、および進化を議論する最高峰のプレミア国際会議であり、2024年6月16日から20日にかけて、ハワイ州ホノルル市ヒルトンハワイアンビレッジで開催され、参加される方々へのネットワーキングの機会を提供致します。

本シンポジウムの全体テーマは、「**Bridging the Digital & Physical Worlds with Efficiency & Intelligence**」です。スマートコネクテッドデバイス、インフラストラクチャおよびシステムは人々のコミュニケーションのかたちを変えていきます。新しい時代へと移行するグローバル社会の一部として、先端技術開発、革新的な回路設計、およびそれらが可能にする応用システムが披露され、議論される場となることを期待しています。

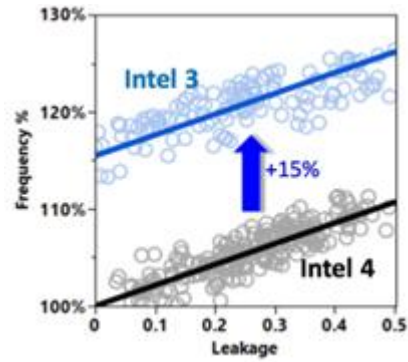
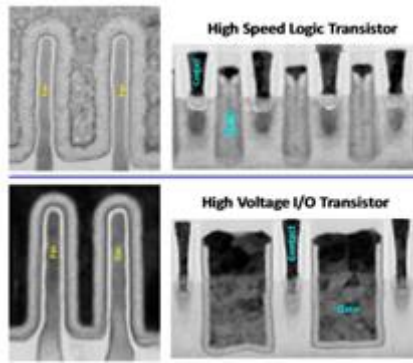
以下に、このテーマに沿ったテクノロジー&回路シンポジウムのハイライト論文を紹介します。

### Technology Highlights

#### Advanced CMOS Technology

*“Intel3 : ハイパフォーマンスコンピューティング向けの FinFET プラットフォーム” – インテル (Paper T1-1)*

インテルは FinFET プロセスを最適化し、Intel4 に比べて 10%面積縮小、性能と信頼を改善した Intel3 プラットフォームを開発しました。トランジスタの性能改善、配線プロセス最適化、設計・製造協調最適化により、Intel4 に比べて 15%性能を改善しました。更に 210nm の高密度スタンダードセル、1.2 ネイティブ IO トランジスタ、ロングチャネルアナログデバイスを Intel3 では提供します。

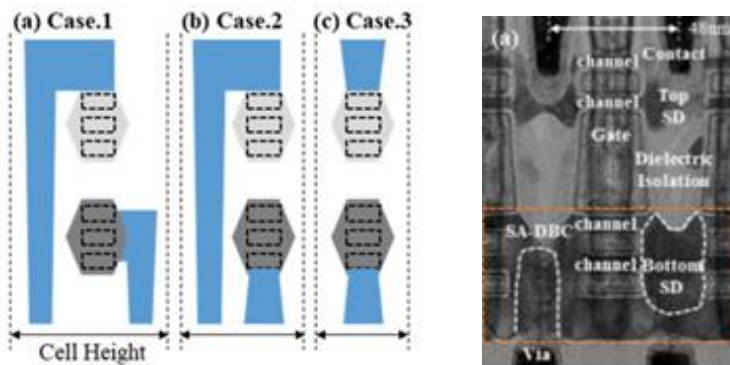


図の説明：(左)Intel3 Logic/I/O トランジスタの断面写真 (右)Intel4 から Intel3 への性能改善グラフ

### Advanced CMOS Technology

“高い製造性を有する自己整合裏面コンタクト及びゲートを利用した3次元積層トランジスタ技術” – サムスン電子 (Paper T1-2)

サムスン電子は、自己整合ダイレクト裏面コンタクト及び裏面ゲートコンタクトを備えた3次元積層トランジスタの実証に成功しました。本技術では、これまでに報告されている中で最小寸法ゲートピッチ 48 nm を有しており、世界初の実証です。また、完全な3次元積層製造フローによる N/P トランジスタの閾値電圧調整、垂直共通コンタクトによる N/P 接続、といった3次元積層トランジスタに必要な技術の確立に成功しました。本技術は 1 nm 以下のトランジスタの継続したスケールリングを可能にします。

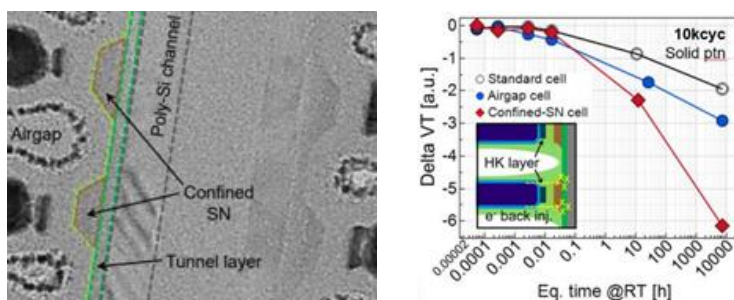


図の説明：(左)様々な自己整合ダイレクト裏面コンタクトを有する3次元積層構造、(右)本技術で採用された世界最小ゲートピッチ 48 nm を有する実際の構造

### Memory Technology

“隣接セル間の寄生容量を低減し、書き込み性能を改善するワード線エアギャップとチャージトラップを分断する 3D-NAND プロセス” – マイクロンテクノロジー (Paper T1-3)

マイクロテクノロジーは 3D NAND の革新的なプロセスフローを考案し、ワード線エアギャップとチャージトラップ層の分断を実現しました。エアギャップはワード線間の寄生容量を低減し、書き込み時間改善に寄与しました。チャージトラップ層の分断は隣接セル間干渉の改善、および横方向拡散による電荷ロスを抑制しました。これらの技術により積層膜厚のさらなるスケールアップ(薄膜化)が可能になります。また、チャージトラップ層の分断による書き込み消去ウィンドウの劣化は、膜厚最適化により改善できることを TCAD により示しました。



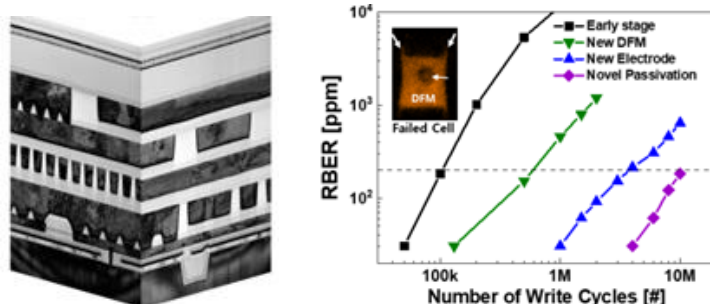
図の説明：

(左)チャージトラップ層 (SN) 分断とワード線エアギャップを適用した 3D NAND アレイの断面 TEM 像。(右)10k 回書き込み消去ストレス後の縦方向電荷ロス特性。エアギャップセルの優位性がみられる。

## Memory Technology

“16nm ハーフピッチで集積された CXL 向け大容量セクタオンリーメモリ技術” – SKハイニックス (Paper T1-5)

SKハイニックスは、セクター オンリー メモリ (SOM) のスイッチング特性のメカニズムを解明しました。解明したスイッチングメカニズムを TCADシミュレーションに組み込むことで、コア回路設計と書き込み/読み取りスキームに基づいた先進的な材料・プロセス開発を可能にし、近年登場した Compute Express Link™ (CXL) メモリ向けとしては初となる 16 nm ハーフピッチ SOM の開発につながりました。SK ハイニックスは、750mV の読み取りウィンドウマージンと製品レベルの Raw Bit Error Rate (RBER : 訂正回路で誤りを訂正する前の不正ビット数) を達成するとともに、200ppm の RBER の条件下において、リードデイスターブ、高温リテンション特性(>10 年@125°C)といった高い信頼性を示すことを実証しています。



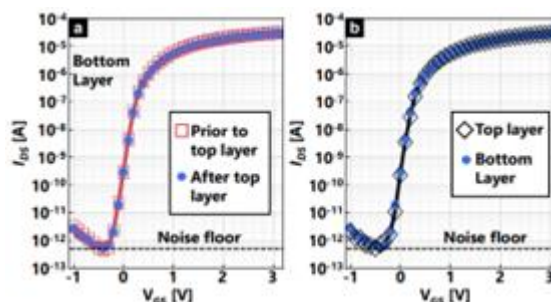
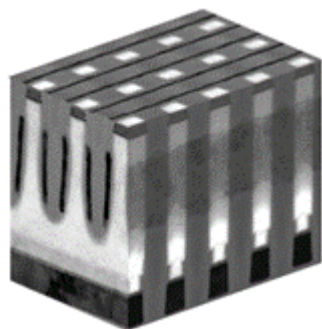
図の説明：

(左) 16 nm ハーフピッチで試作されたセレクトーオンリーメモリの断面 TEM 像。(右) エンデュランス特性(書き込みサイクルで測定された Raw Bit Error Rate)

## Memory Technology

“高集積 NVRAM の積層可能なポリシリコンチャンネル  $4F^2$  トランジスタ” - マイクロンテクノロジー (Paper T16-2)

マイクロンは 32GbNVD RAM に積層可能な  $4F^2$  ポリシリコン薄膜トランジスタの最適化手法を報告します。メモリセルアレイの積層技術に求められる熱処理プロセスの制限に対応したイノベーションとして、まず、チャンネルのポリシリコンの結晶化とソース、ドレインの活性化のためにレーザーアニールが適用され、低温で成膜したゲート酸化膜は 10 年相当の信頼性の実力があり、Ru ワード線は凝集やボイドに対して最適化されています。デバイス特性は上層プロセスの影響を受けにくく、また熱伝導と結晶化を考慮した TCAD から得られたプロセスの最適化により、その特性は上層と下層の間でよく一致しています。



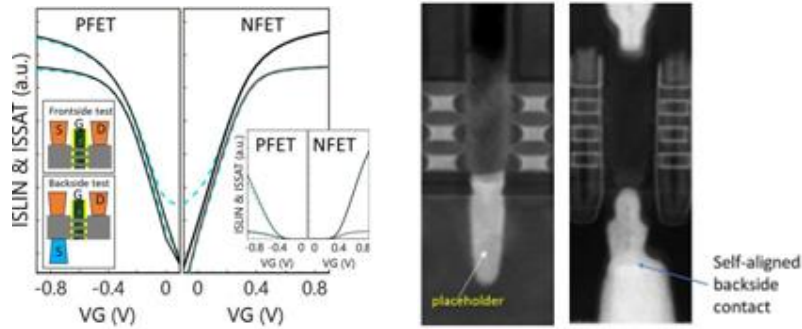
図の説明:

(左)NVD RAM のセルトランジスタとして使用する Ru を用いたデュアルゲート TFT の断面図  
(右) $I_{ds}$ - $V_{gs}$  特性

## 3D Technology

“2nm 世代以降のナノシートトランジスタ向け裏面電源供給” - IBM,サムスン電子 (Paper TFS 2-3)

IBM およびサムスン電子は、裏面電源供給ネットワーク技術をナノシートトランジスタに適用するための様々なアプローチを検討しました。深掘りビアによる方式においては、移動表面ビア裏面電源線方式以外では、セルレベルの微細化に利点は無く、ビア抵抗がボトルネックとなり得る一方で、直接裏面コンタクト方式は、最適な微細化を実現します。結果として、裏面コンタクト形成時の合わせズレに対して耐性を有する新しい自己整合裏面コンタクト方式をナノシートトランジスタに適用し、良好なデバイス特性と信頼性を実証しました。



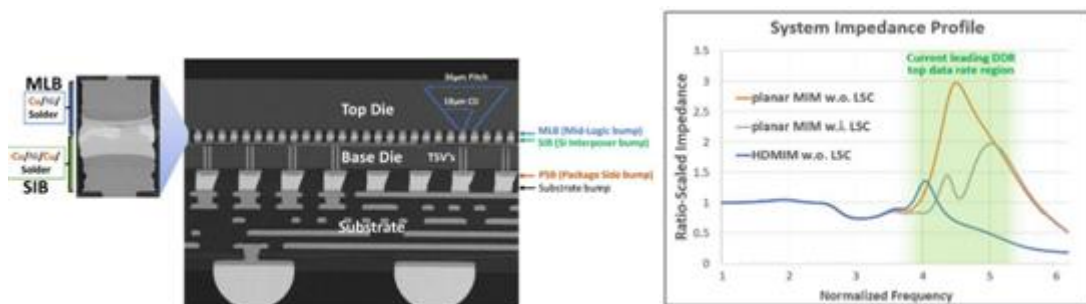
図の説明：

(左)ナノシートトランジスタの線形および飽和特性。表面コンタクトデバイス(水色点線)と裏面直接コンタクトデバイス(黒線)の電気特性は一致を示している。(右)裏面コンタクト形成のための位置決定とソース/ドレインエピ成長実施後、および、自己整合裏面コンタクト形成後のトランジスタの断面写真。

### 3D Technology

#### “2.5D「Foveros」対向アーキテクチャを用いたシリコンインターポージャーと高密度MIMキャパシタの集積” - インテル (Paper T9-1)

シリコンインターポージャーを介して異なるコンピューティング要素を集積することで、ムーアの法則を超えたスケールアップが可能となります。インテルのパッシブシリコンインターポージャーは、異なるチップレットを、バンプシリコン貫通電極を通じて、36 $\mu\text{m}$  間隔の微細マイクロバンプでデバイス面同士の貼り合わせ接続が可能です。このシリコンインターポージャーには、電圧低下や雑音を抑制するための高密度 MIM デカップリングキャパシタが集積されています。実際の製品においては、シリコンインターポージャー中あるいはチップレットに埋め込んだ高密度 MIM キャパシタを用いることができます。本論文では、高密度 MIM キャパシタの製造工程や電気特性、信頼性評価、高密度 MIM キャパシタを集積したシリコンインターポージャーによる性能向上について報告されています。



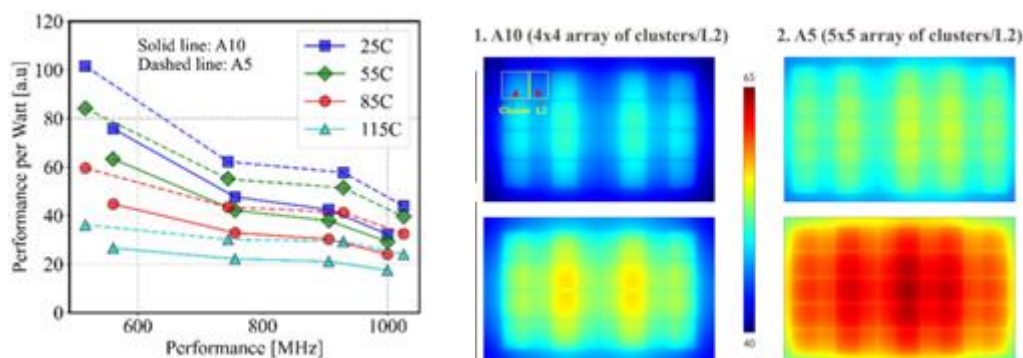
図の説明：

(左)シリコンインターポージャーバンプおよびパッケージを介したトップダイへのインターポージャー接続を示す断面図。(右)DDR のシステムレベルインピーダンスプロファイルへの高密度 MIM キャパシタンスへの影響

### 3D Technology

“熱の影響を考慮したオングストローム世代におけるブロックレベル PPA 性能評価：  
A10 ナノシートトランジスタ (NSFET) と A5 CFET の比較” - imec (Paper T5-4)

imec は熱影響を考慮したブロックレベル PPA 性能の NSFET と CFET 比較結果を発表する。NSFET と CFET はそれぞれ A10、A5 世代というオングストローム世代の技術として期待されている。オープンソースの多数コアアーキテクチャを用いた解析の結果、A10 から A5 世代で 2.5% の Fmax 増加、25% の電力低下・27% のサイクル当たりの電力低下、35% の面積縮小が見積もられ、結果として 0.7V/25°C の環境では 15% の電力密度増加となる。この PPA 性能評価手法はパッケージレベルの高速熱解析が可能なシミュレータを備えており、温度に対して指数関数的に発生するリーク電力増加を考慮している。これは動的な熱影響の管理が必要なアプリケーションにとって重要である。本発表の解析から、A10 世代を 0.7V で動作させるときと同じ  $T_{j,max}$  を維持するためには、A5 世代において 64mV の動作電圧低下と 10% の周波数低下が必要だが、その場合においてもシステムのスループットは A5 世代で 40% の改善があることが分かった。



図の説明：

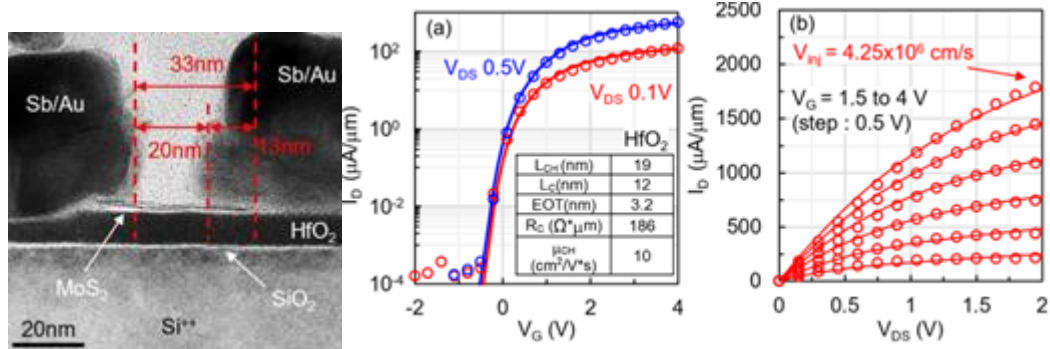
(左) A10/A5 世代における性能・消費電力比較。A5 世代は全温度帯においてより高効率であることが示されている。(右) 各世代における SOC レベルの熱マップ (上) と 0.7V 動作時の消費電力マップ (下)。

### Beyond CMOS Technology

“MoS<sub>2</sub> チャンネル材料を用いたトランジスタの超スケーリング技術” - TSMC and National Yang Ming Chiao Tung University (Paper T1-4)

2D 遷移金属ダイカルコゲナイド (TMD) をチャンネルに用いたトランジスタは、スケーリングに有望ですが、そのスケーリング時の性能はまだ証明されていませんでした。tsmc と国立陽明交通大学が共同で行った本研究では、チャンネル長とコンタクト長の両方のスケーリングを実証し、コンタクト抵抗をコンタクト長 11nm まで低く保てることを、また少なくともチャンネル長 12nm まではチャンネル長スケーリングすることにより  $I_{ON}$  を向上させることができることを示しました。そしてチャンネル長が 19nm で Sb ベースの金属コンタクトを持つ MoS<sub>2</sub> トランジスタ特性として、 $V_{DS}=1V$  で約 1130 $\mu A/\mu m$  の電流密度と低コンタクト抵抗 (約 190 $\Omega \cdot \mu m$ ) を示しました。本トランジスタは、BEOL 工程の熱予算内で形成されてお

り、12nm のチャンネル長まで（トランジスタスケージングの限界を決める主要因である）サブスレッショルドスイングやドレイン誘起バリア低下(DIBL) の劣化は見られませんでした。



図の説明：

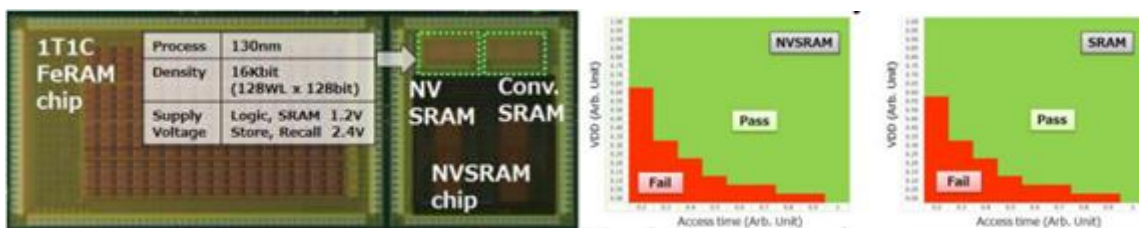
(左) チャンネル長 13 nm の MoS<sub>2</sub> トランジスタの TEM 画像

(右) デバイスの電気特性(EOT 3.2nm)。シンボル：実測データ、線：TCAD データ

## Beyond CMOS Technology

“85°Cにて 100%のビット復帰率と十分なリテンション特性を有する HZO 系材料を用いた不揮発性 SRAM” - ソニーセミコンダクタソリューションズ, フラウンホーファー研究所, NaMLab (Paper T2-1)

ソニーセミコンダクタソリューションズは、厚さ 10nm 以下の HfZrOx を含む金属/強誘電体/金属キャパシタを用いた 16kbit 規模の不揮発性 SRAM アレイを試作し、100%のビット歩留を達成しました。この強誘電キャパシタの製造プロセスは過去に報告された FeRAM と同じものであり、同一チップ上に不揮発性 SRAM と FeRAM を形成しています。ロバストなデータ復帰シーケンスを用いることで、一連の不揮発データ保存、供給電源の切断、データ復帰動作を完全に実行し、測定温度 85 度において電源切断 200 秒後でも 100%のビット復帰率を実現しました。本結果は、HZO 系材料を用いた不揮発性 SRAM と FeRAM のハイブリッドメモリシステムによって、エッジコンピューティングの超低消費電力化が可能となることを示唆しています。



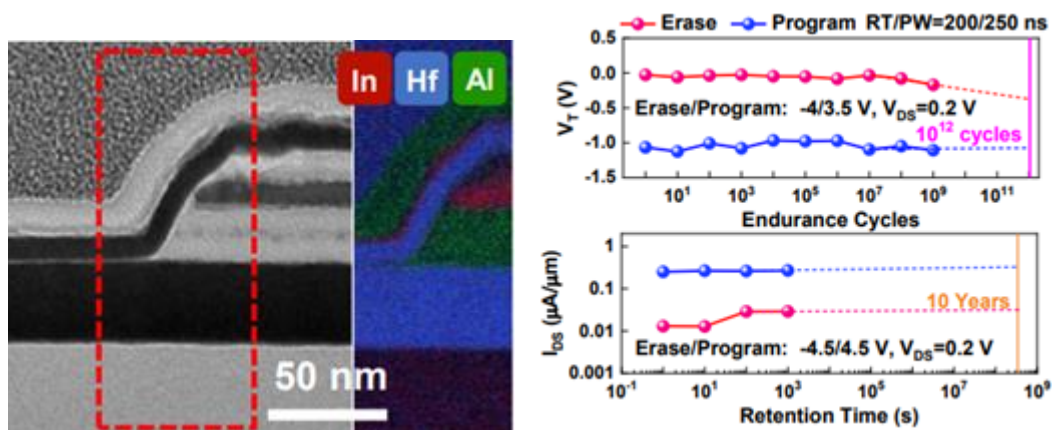
図の説明：

左) 不揮発性 SRAM と FeRAM を同一チップに形成。比較対象として、通常の SRAM も搭載している (右) 不揮発性 SRAM と通常の SRAM に関するシュムープロットの比較

## Beyond CMOS Technology

“縦型ロジック・メモリ応用に向けた、極薄  $\text{In}_2\text{O}_3$  チャンネルと厚膜  $\text{In}_2\text{O}_3$  ゲート電極で構成される、高信頼性な全酸化物材料トランジスタ”、パーデュー大学・サムソン電子 (Paper T4-1)

本論文では米国パーデュー大学が、三次元垂直集積化に向けて、原子層堆積法(ALD 法)により成膜した  $\text{In}_2\text{O}_3$  膜をチャンネルだけでなくゲート電極、ソース・ドレイン電極すべてに適用した全酸化物材料トランジスタの実証をはじめて報告した。まず試作した平面型の全酸化物材料トランジスタは  $10^6$  以上の電流オンオフ比と低ばらつき、そして正と負のバイアスストレスに対する閾値シフトがそれぞれわずか  $5\text{mV}$ ,  $50\text{mV}$  という高信頼性を示している。次に試作した垂直チャンネル型の全酸化物材料トランジスタでも、 $10^5$  以上の電流オンオフ比、 $160\mu\text{A}/\mu\text{m}$  以上の高いオン電流を示している。さらに垂直チャンネル型の全酸化物材料による強誘電体トランジスタ(FeFET)も試作し、 $1.85\text{V}$  のメモリウィンドウと  $10^{12}$  回の書き換え耐性、そして 10 年以上の保持時間を示している。本研究成果により将来の高集積回路に向けて、ALD による酸化物半導体を基盤とする、垂直チャンネル型の全酸化物デバイスが有望であることが示された。



図の説明：(左)  $10\text{nm}$  厚の  $\text{In}_2\text{O}_3$  ゲート電極を有する ALD 法による垂直型の全酸化物トランジスタの高解像度断面 TEM 像および EDS マッピング像、(右) ALD 法による垂直型  $\text{In}_2\text{O}_3$  FeFET の室温でのメモリ書き換え耐性と保持時間特性。

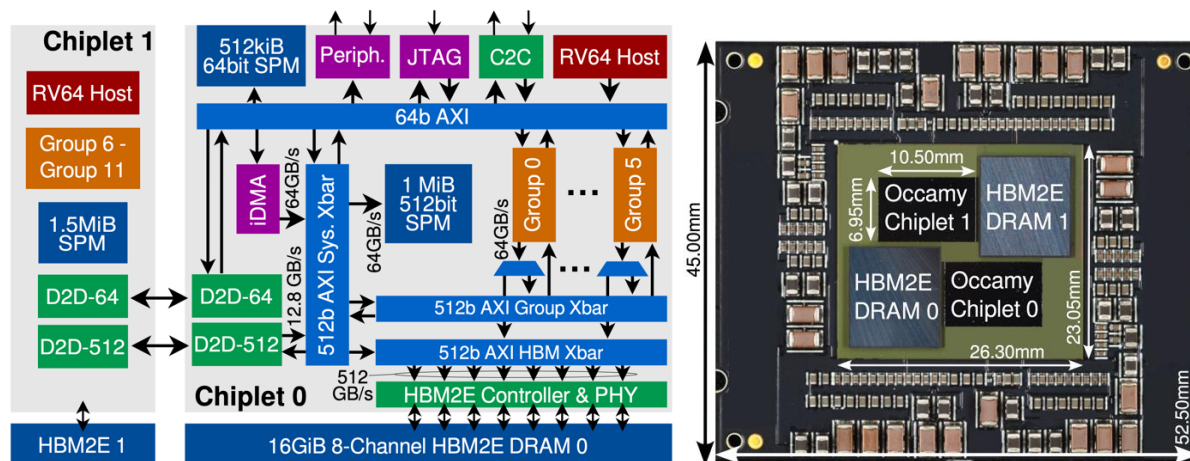


## Circuits Highlights

### プロセッサとシステム・オン・チップ(SoC)

“Occamy: 12nm FinFET プロセスで実装された 432 コア・デュアルチップレット・デュアル HBM2E 構成, 28.1GFLOP/s/W・FPU 使用率 83%の性能を有し, 8-64bit 浮動小数点をサポートするステンシル演算及びスパース線形代数演算向け RISC-V ベースアクセラレータ” – チューリッヒ工科大学, スタンフォード大学, 及びボローニャ大学 (Paper C7-4)

チューリッヒ工科大学, スタンフォード大学, 及びボローニャ大学は共同で汎用かつ柔軟なデュアルチップレットシステムを提案します。このシステムは広範囲の不規則なメモリアクセスを伴う計算ワークロードを高い演算器使用率で対応するために最適化された, 2つの 16GB HBM2E スタックを備えます。この Occamy というコードネームのヘテロジニアスシステムは, 64 ビット浮動小数点及び狭ビット幅 (32-, 16-, 8 ビット) SIMD 型浮動小数点データによる効率的なスパース線形代数演算及びステンシル演算のために 432 コア RISC-V・デュアルチップレット 2.5D システムで構成されます。Occamy はカスタム拡張された RISC-V コアで構成された 48 個のクラスタ, 2つの 64 ビットホストコア, 及びレイテンシ耐性を持つマルチチップレット間接続と 32GB HBM2E メモリシステムという特徴があります。実チップにてステンシル演算 (83%), 疎行列-密行列乗算 (42%), 及び密行列-密行列乗算 (49%) という先端使用率を達成しています。



図：(左)デュアルチップレットアーキテクチャ (右)モジュール写真

### 機械学習のためのデバイスとアクセラレータ

“Dyiamond: コンパクトな MAC-SIMD と適応型列加算データフローを備えた 1T1C 型 DRAM インメモリコンピューティングアクセラレータ” – KAIST, サムスン電子 (Paper C20-1)

KAISTとSamsung Electronicsは共同でメモリアクセスを削減することでシステムのエネルギー効率を高め, メモリ密度を向上させる1T1C型DRAMインメモリコンピューティングアクセラレータを提案します。コードネームDyiamondと名付けられたアクセラレータは, 高密度とエネルギー効率を実現する列加算(CA)データフローを備えています。LSB-CAはADCの

読み出しを最小限に抑え、エネルギー効率を高めます。信号強化多重累積(MAC)および信号シフトADCを備えたMSB-CAは、SQNRを向上させてエネルギー効率をさらに向上させます。切り替え可能なセンスアンプにより、低電力インメモリ演算SIMDの読み取りエネルギーを低減しています。Dyiamondは28nm CMOSプロセスで製造され、6.48mm<sup>2</sup>のダイ面積に27Mb DRAMメモリを集積し、27.2TOPS/Wのピークエネルギー効率と、機械学習モデル(ResNet, BERT, GPT-2)で優れたパフォーマンスを発揮します。

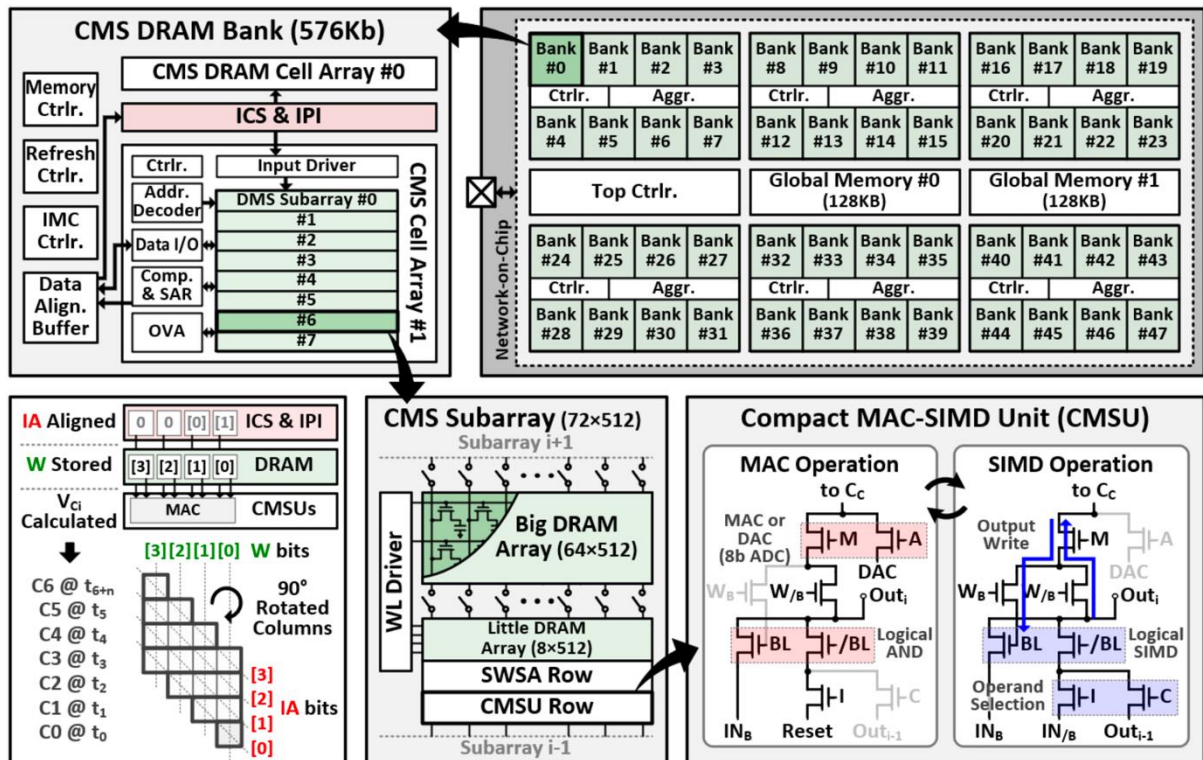


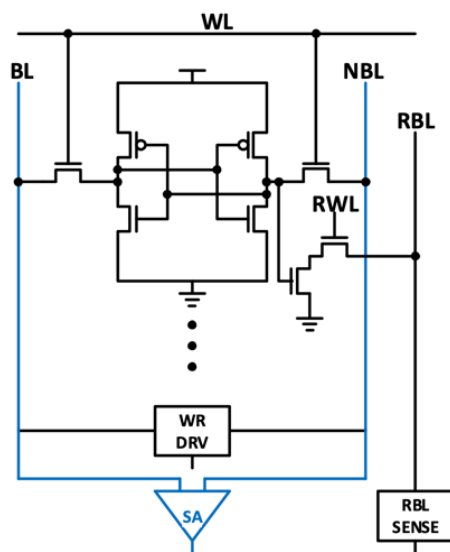
図: Dyiamondのアーキテクチャ

## メモリ技術・デバイス・回路・アーキテクチャ

“3nm プロセス Arm 社 HPC プロセッサ向け 7GHz 高バンド幅 1R-1RW SRAM” – Arm (Paper C16-3)

アーム社は自社のフラグシップ高性能プロセッサに統合可能な 3-nm CMOS プロセス向けの 1リード-1リードライト型 (1R1RW) の高バンド幅インスタンス (HBI) メモリを発表します。本メモリ技術は従来の 8 トランジスタを使用する 1リード-1ライト型 (1R1W) メモリを拡張し、追加の読み取りポートを備えることで、1R1RW 機能を実現しています。これにより L1 データキャッシュの利用可能な読み取り帯域幅を倍増させ、サイクルあたりの命令実行数は 1% 超改善します。さらに、HBI メモリの新規アーキテクチャにより、CPU の物理設計における配線混雑を緩和することで、データキャッシュ面積を 13% 減少し、配線遅延を 10-15 psec 短縮しました。テストチップ評価から、1R1RW HBI メモリの歩留まり

は 100%であることを確認し、これまでに報告された 8 トランジスタ SRAM メモリの中で最高となる 7 GHz 以上の動作周波数と、11.2 Mbit/mm<sup>2</sup> のビット密度を実証しています。



Parameter	1RW	1R1RW HBI
Bitcell	6T (HC)	8T (TP)
Read Ports	1	2
Bitcell Area (a.u.)	1	1.33
Macro Area (μm <sup>2</sup> )	1312	1739
L1-D cache (μm <sup>2</sup> )	83991 (128KB)	55636 (64KB)

図: 1R1RW HBI メモリセルアーキテクチャ, 6T-1RW メモリと比較して L1 データキャッシュの面積を 33%削減

## IOs デジタル回路・ハードウェアセキュリティ・シグナルインテグリティ・IO

“受動平均化 SAR ADC と符合・指数のみのレイヤフュージョンを利用した 92.7%精度, 5.6μW, End-to-End の 10 キーワード音声認識システム” – ソウル大, コロンビア大 (Paper C25-1)

ソウル大とコロンビア大は、モバイルおよびIoT機器の起動や制御に利用するEnd-to-Endの10キーワード音声認識システムを発表します。提案アーキテクチャでは、受動平均化処理を採用し、アナログフロントエンド回路の信号対雑音比を改善しました。しかもこのための消費電力のオーバーヘッドわずか20nWに抑えて動作できます。また、符号・指数のモノレイヤフュージョン方式により、キーワード認識の精度を維持しながら、認識モデルの規模と乗算に必要な消費電力をそれぞれ63.5%, 29.8%削減しました。これまでに提案された10キーワード音声認識システムの中で、最も高い92.7%の認識精度を5.6μWの最も低い消費電力で達成しています。

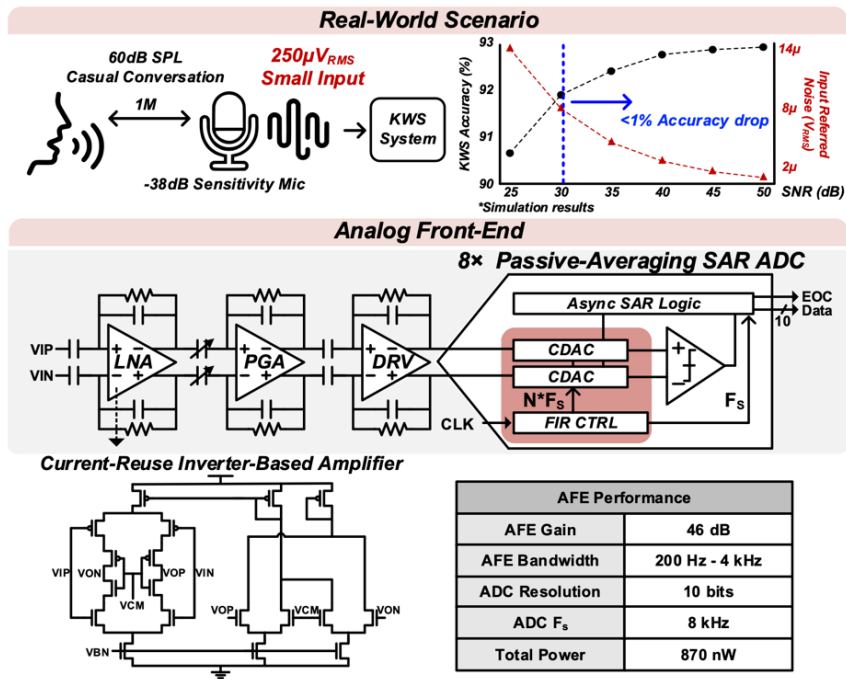


図: アナログフロントエンド回路設計における要求仕様, アーキテクチャと性能

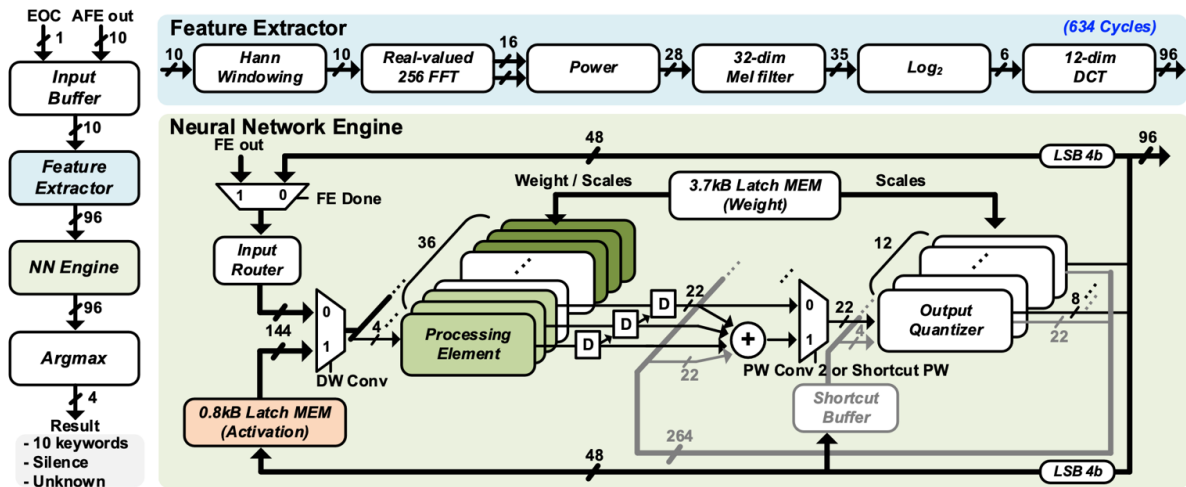


図: デジタルバックエンド部のアーキテクチャ

## 医用生体デバイス・回路・システム

“SPIRIT: 17.2nJ/分類の教師無し逐次型学習による分類器とズーム型アナログフロントエンドを有するてんかん発作予測用 SoC” – カリフォルニア大学バークレー校 (Paper C23-1)

カリフォルニア大学バークレー校は、SPIRIT と名付ける教師なし逐次型学習によるてんかん発作の予測分類器を集積した SoC を発表しました。この SoC は消費電力 14.4 $\mu$ W, 面積 0.057 mm<sup>2</sup>, ダイナミックレンジ 90.5 dB のズーム式アナログフロントエンドを 8 つ搭載することを特徴としています。SPIRIT は平均して 97.5%/96.2% の感度/特異度を達成し、て

んかん発作が起こる 8.4 分前に発作の予測が可能です。この予測分類器全体の消費電力は 17.2 $\mu$ W, 占有面積は 0.14 mm<sup>2</sup> であり, これまでに報告された予測分類器の最小値と比較して電力, 面積をそれぞれ 1/134, 1/5 に削減しています。

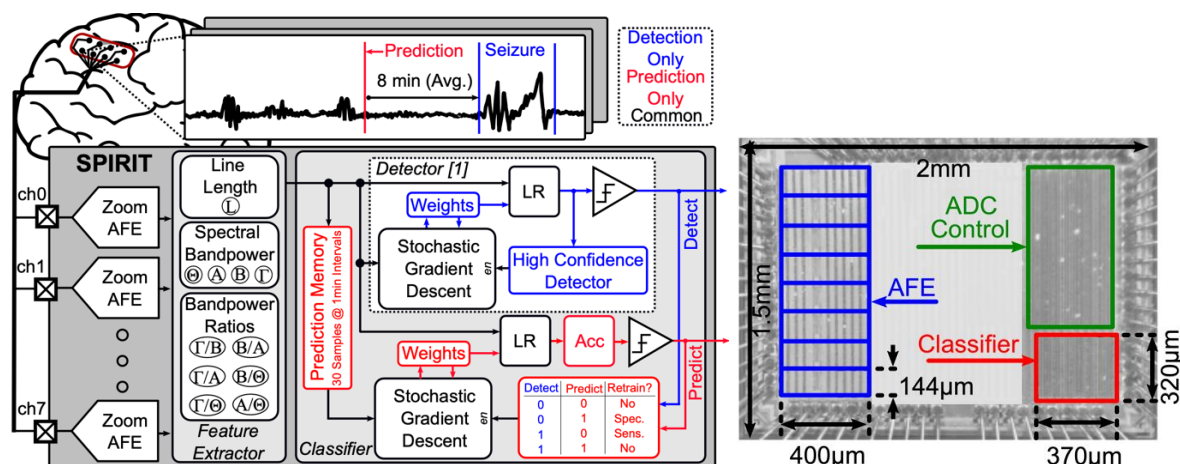
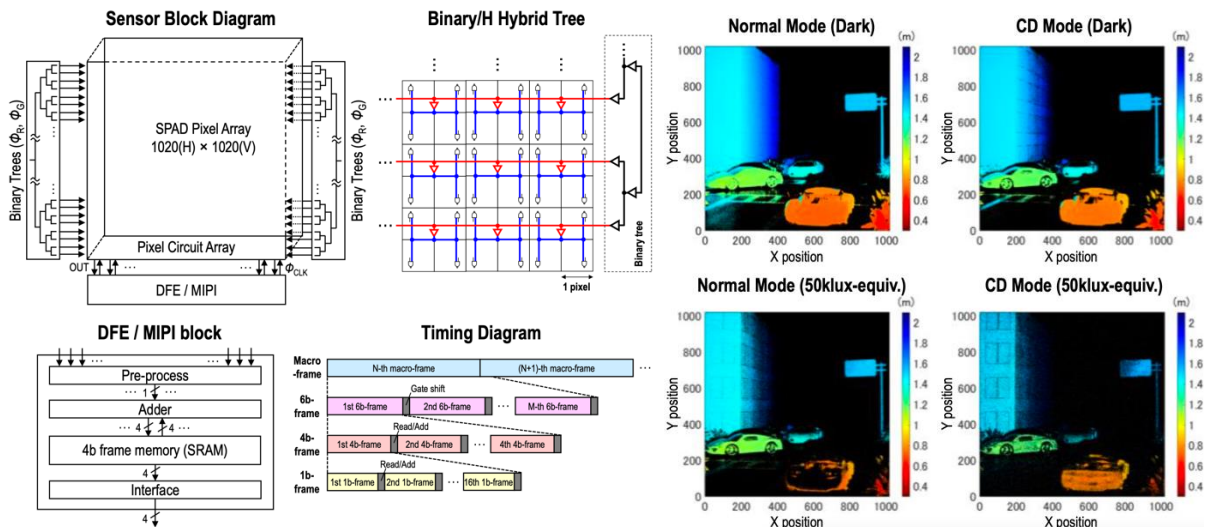


図 : (左)SPIRIT のシステム構成図, (右)チップ写真

## センサ・イメージャ・IoT・MEMS・ディスプレイ回路

“周囲隣接画素からの発火検出機構を備え複数用途センサの融合を実現する3次元積層型 100 万画素 SPAD 画素イメージセンサ” – キヤノン (Paper C6-1)

キヤノン株式会社は5 $\mu$ m角, 3次元積層裏面照射型, 100万画素の時間ゲート方式のSPAD画素イメージセンサを開発しました。このイメージセンサは各画素において周囲隣接画素からの発火情報を送受信する双方向ネットワーク構造を備え, 画像アライメントが不要で複数用途センサの融合を実現しています。このSPADイメージセンサは1310fpsかつグローバルシャッターの2次元画像センサとして動作し, 環境照度0.02lux下において0.76msの時間分解能を持つイベントベースビジョンセンサとしても動作します。ゲート箇所を調整することで, 特定距離範囲の画像のみを撮像することも示しています。また, 周囲隣接画素からの発火情報を用いる構造により背景光を抑制することで, 50kluxの高照度環境下においても3次元距離測定が可能です。



図：(左)センサのブロック図，クロックツリーの構成，画素制御のタイミング図 (右)照度 50klux環境下で測定した3次元測距マップ(従来方式と提案方式)

## データコンバータ

**“4nm CMOSにおいてFoM 153.8dBを達成する遅延ばらつき補償とバックグラウンド補正を備えたパイプライン逐次比較型TDCを用いた16GS/s, 10ビット時間領域ADC” – 南カリフォルニア大学, メディアテック (Paper C24-2)**

南カリフォルニア大学とメディアテックは共同で4nm CMOS技術を用いた4チャンネルタイムインターリーブ型10-bit, 16GS/sのダイレクトRFサンプリング時間領域アナログ-デジタル変換回路(ADC)を提案します。提案アーキテクチャでは、冗長性による時間-デジタル変換回路の遅延ばらつき補正手法、遅延オフセットのバックグラウンドでの補正手法、そしてボトムプレートサンプリングを用いた電圧-時間変換回路(VTC)構造を用いて、高い信号対雑音比(SNR)と線形性を達成しています。実チップでは8000  $\mu\text{m}^2$ のアクティブ面積で実装され、ナイキスト入力周波数において55.93 dBのSFDRと44.48 dBのSNDRを94.2mWの消費電力で達成し、Schreier FoMでは153.8 dBという先端性能を達成しています。

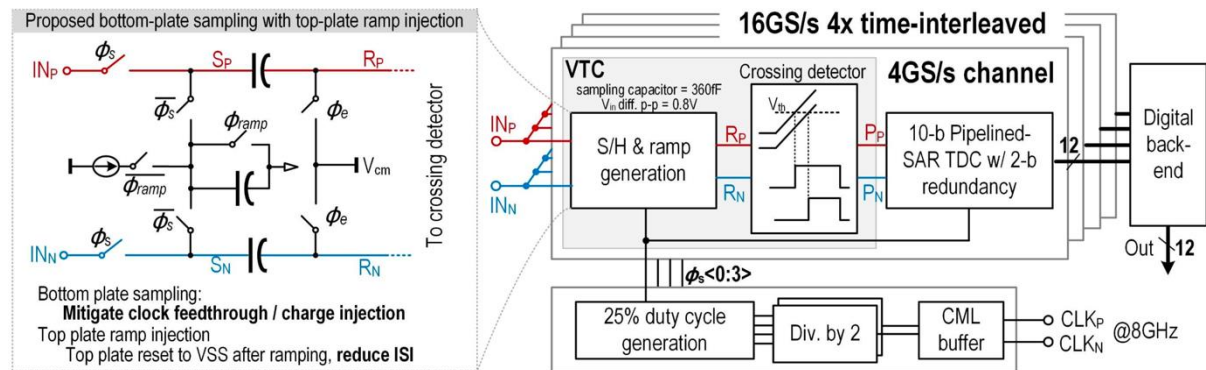
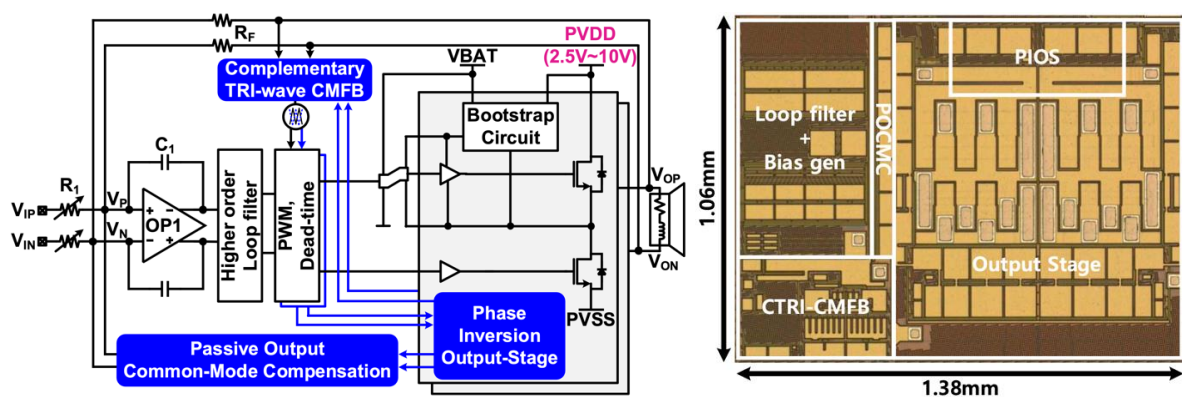


図: ADCのブロック図と提案するVTCのアーキテクチャ

## アナログ&ミクストシグナル回路

“広出力パワー範囲のため受動出力コモンモード補償技術を備えた 5.8W 0.00086% THD+N 118dB PSRR の D 級オーディオアンプ” – サムスン電子 (Paper C5-3)

サムスン電子は 2 つのキーとなる技術が使われた D 級オーディオアンプ(CDA)を提案しています。技術の 1 つ目は、高い線形性を広出力パワー範囲にわたって達成するための受動出力コモンモード補償(POCMC)です。2 つ目は、PSRR 改善のための相補三角波コモンモードフィードバック(CTRI-CMFB)です。0.13 $\mu\text{m}$  BCD プロセスで面積は 1.46mm<sup>2</sup> です。この CDA は 0.00086% THD+N, 118dB PSRR, 5.8W(THD+N=1%)の最大出力パワーを 8 $\Omega$  負荷時に 93.2%の効率で達成しています。

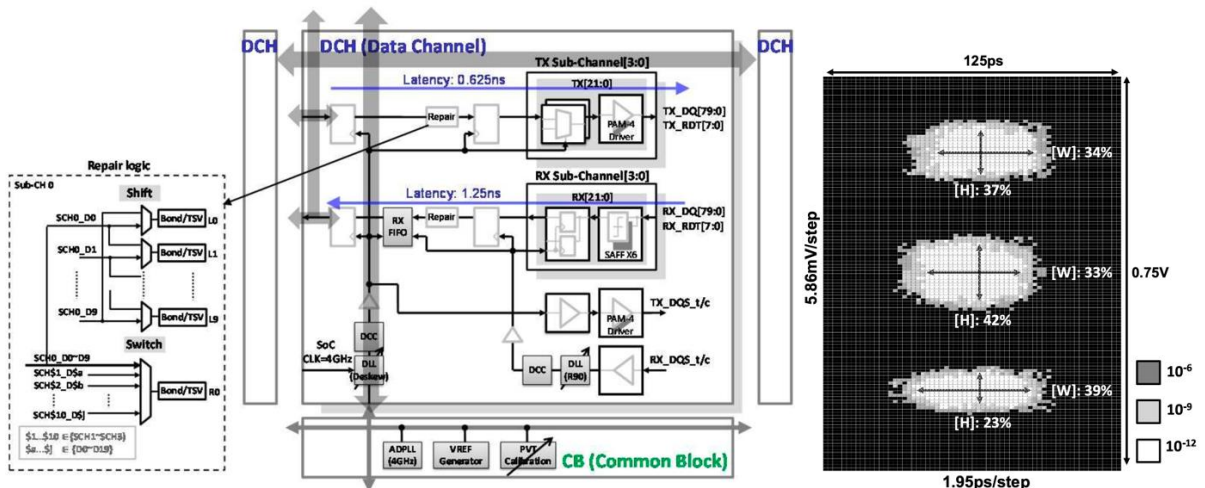


図：(左)提案された CDA 回路, (右)ダイ写真

## 有線および光トランシーバ・光インターコネクション

“16Gb/s の PAM-4 通信で 10.24Tb/s を達成する 9 $\mu\text{m}$  ピッチ 3D 実装の 5nm/6nmFinFETDie-to-Die 高速・低消費電力通信” – TSMC (Paper C14-1)

TSMC は、5 nm コンピューティング・ダイチップと 6 nm SRAM ダイチップのヘテロ集積のための、対面 3D チップ積載形式で 9  $\mu\text{m}$  ピッチのダイ・ダイ間リンクを発表します。レーン当たり 16Gb/s の PAM-4 通信で、送信 320 レーン/受信 320 レーンの合計で、10.24 Tb/s 通信の達成と、規模拡張にも対応できるモジュラー設計を実証します。各クラスターモジュールは、80 の送信/受信 レーンが 378  $\mu\text{m}$   $\times$  378  $\mu\text{m}$  の領域に構成されており、17.9 Tb/s/mm<sup>2</sup> の密度帯域とリンク当たり 0.296 pJ/bit のエネルギー効率を提供します。



図：修復ロジックを備えたダイ・ダイ間相互接続アーキテクチャと 16Gb/s の PAM4 アイ測定結果

## 有線および光トランシーバ・光インターコネクション

### “CPO 向け電力効率 1.5pJ/b の 4x50Gb/s NRZ 光受信回路” – インテル (Paper C14-4)

インテルは、Co-Packaged Optics(CPO)向けの 4 チャンネル構成の光受信回路を発表します。本受信回路(RX)は、フォトダイオードアレイ、脱着可能な光ファイバ、トランスインピーダンスアンプ・フロントエンド(TIA-FE)IC と RX データパス IC を同パッケージに集積しています。高感度な受信特性を実現するため、TIA-FE IC には広帯域化技術と帯域内群遅延補償技術を採用し、また、これらの技術は、RX データパス IC のクォーターレート動作の 2 タップ・フィードフォワード・イコライザと併せて最適化されています。更に、RX データパス IC は、入力換算雑音を 3.5 倍低減する StrongArm ラッチも備えています。VCSEL ベースの光送信回路を使用した 4 チャンネル構成にて、各チャンネル 50Gb/s の NRZ 信号受信時、RX 全体での電力効率 1.5pJ/b、ビット誤り率 10<sup>-12</sup>での受信感度-6dBm を実証しています。

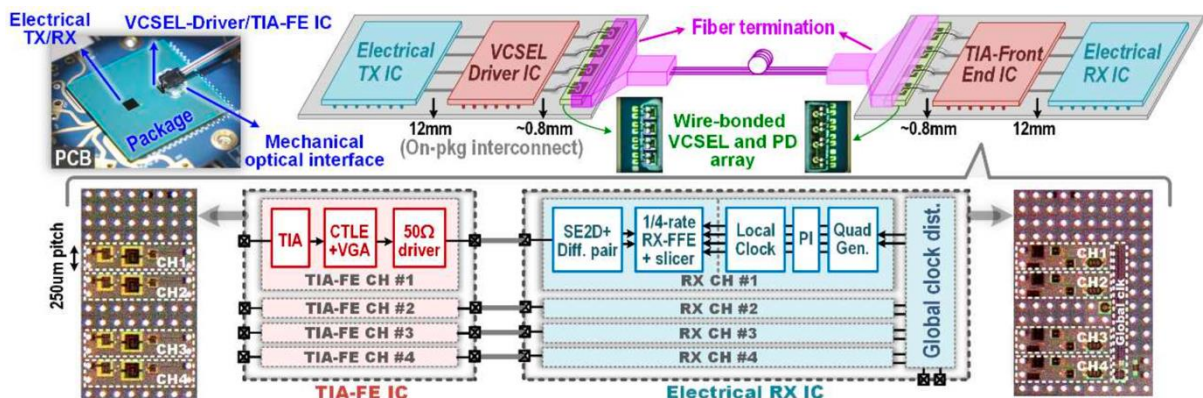


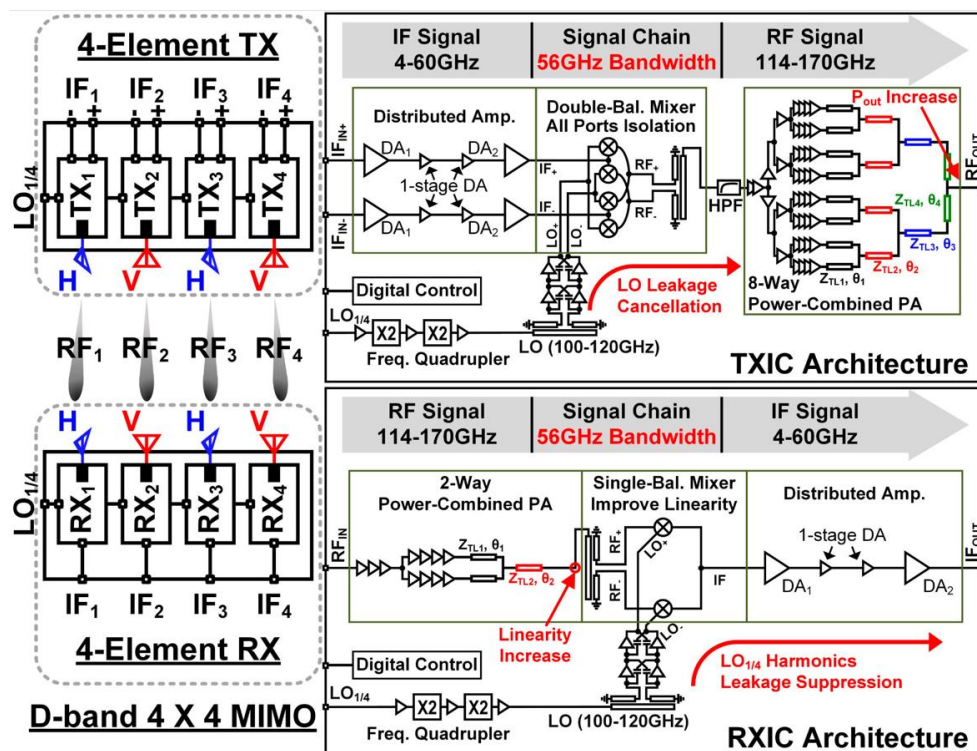
図: CPO 向け 4 チャンネル構成の光送受信システムと光受信回路の簡易ブロック図

## ワイヤレス&RF デバイス・回路・システム



“640Gb/s の無線通信速度を達成した D バンド(110-170GHz)帯 4x4 MIMO CMOS 無線機” – 東京工業大学 (Paper C9-2)

東京工業大学は、6G での実用化が期待される D バンド(110-170GHz)帯で動作する CMOS 無線機を発表します。56GHz の信号帯域幅を有し、電波暗室での測定において、32QAM 変調による 200Gb/s での通信に成功しています。また、16QAM 変調による 120Gb/s の通信では 15m の通信距離を実現しています。これらの性能達成のために、8 パス低 Q 電力合成による電力増幅器、2 パス低 Q 電力合成による低雑音増幅器、広帯域インピーダンス変換ミキサ、コモンソース型のカスケード分布増幅器を提案し、広帯域かつ高 SNR な特性を実現しています。また、この D バンド無線機を送受信それぞれ 4 台用いた MIMO 通信を行うことにより、640Gb/s の無線通信を実証しています。



図：MIMO 通信の構成および無線機のブロック図