



2024 Symposium on VLSI Technology and Circuits 하이라이트

2024 VLSI Technology and Circuits 심포지엄은 마이크로/나노 반도체 집적 기술의 발전, 진화 및 혁신을 기록하는 대표적인 국제 학회로 오는 2024년 6월 16일부터 20일까지 하와이의 Hilton Hawaiian Village Hotel에서 개최될 예정이다.

금년에는 "효율성과 지능으로 디지털 세계와 물리적 세계를 연결하다"라는 주제로 진행되며, 인간의 소통 방식을 변화시키는 스마트 기기 및 기반 시설과 시스템을 위한 새로운 시대로의 전환을 알릴 첨단 반도체 기술 개발, 혁신적인 회로 설계 및 응용 분야가 발표된다.

이번 심포지엄의 주제를 보여주는 주요 논문들을 소개한다.

Technology Highlights

Advanced CMOS Technology

"An Intel 3 Advanced FinFET Platform Technology for High Performance Computing and SOC Product Applications" – Intel Corporation (Highlight Session – Paper T1.1)

이 논문은 Intel 4 대비 10% 향상된 로직 스케일링, 성능 및 안정성을 제공하는 완전히 최적화된 Intel 3 FinFET 기술을 제시한다. 등전력 성능은 트랜지스터 향상, 인터커넥트 최적화, 설계 공동 최적화를 통해 Intel 4 대비 최대 18% 향상되었다. Intel 3는 210-nm 고밀도 표준 셀, 1.2-V-네이티브 I/O 트랜지스터, deep N-well 절연 및 long-channel 아날로그 장치를 추가적으로 지원하여 완전한 기능을 갖춘 기술 설계 성능을 제공한다.

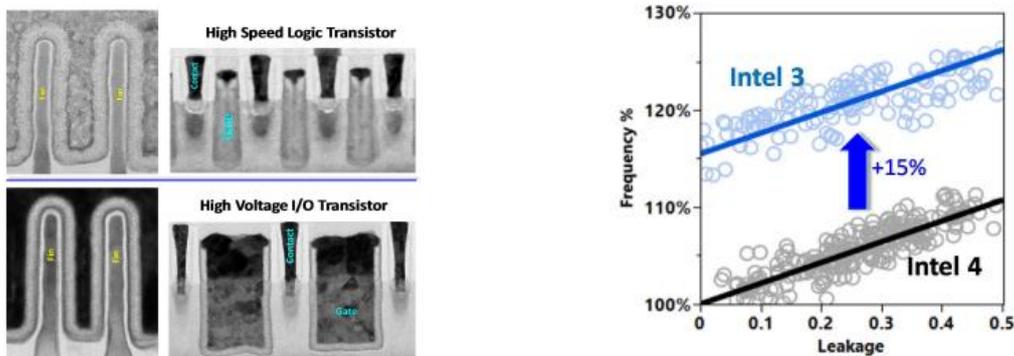


그림: (좌) 로직(위)과 1.2-V I/O 트랜지스터(아래)의 Fin/게이트 TEM 단면도. (우) Intel 4 대비 15% 향상된 등누설 주파수.

Advanced CMOS Technology

"Highly Manufacturable Self-Aligned Direct Backside Contact (SA-DBC) and Backside Gate Contact (BGC) for 3-Dimensional Stacked FET at 48-nm Gate Pitch" – Samsung Electronics (Highlight Session – Paper T1.2)

이 연구에서 삼성은 지금까지 보고된 가장 작은 크기이자 세계 최초로 선보이는 48-nm 게이트 피치의 Self-Aligned Direct Back-side contact 및 Back-side Gate Contact 이 있는 3 차원 적층 FET(3DSFET)를 보여준다. 이전 작업은 물론, 공통 게이트에서 nFET 와 pFET 을 대상으로 하는 동시 임계 전압(V_T), 수직 공통 콘택과의 N/P 연결도 검증되었다. 이에 따라, 삼성은 3DSFET 의 궁극적인 셀 높이 축소를 위한 핵심 부품 대부분이 1-nm 노드를 넘어 로직 기술 스케일링을 이어가는 것으로 검증되었다고 보고 있다.

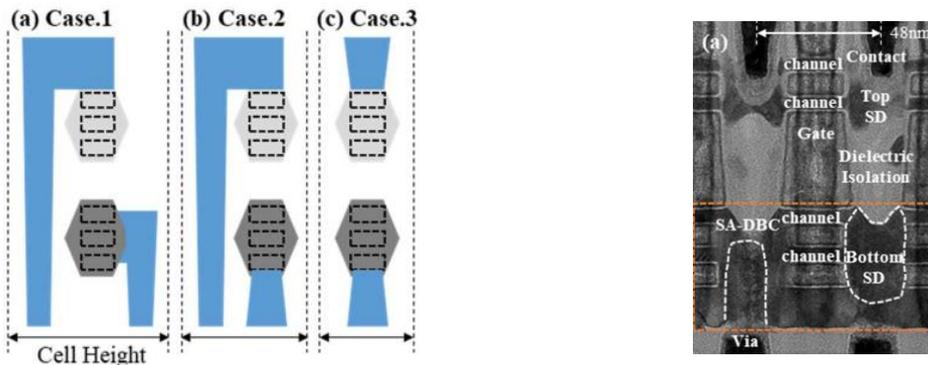


그림: (좌) 본 논문에서 논의된 3DSFET 상의 front-side contact 및 SA-DBC 의 다양한 조합. (우) 공동 통합된 TOP-nFET 와 BOTTOM-pFET 의 단면 TEM 이미지.

Memory Technology

"A Confined Storage Nitride 3D-NAND Cell with WL Airgap for Cell-to-cell Interference Reduction and Improved Program Performances" – Micron Technology Inc. (Highlight Session – Paper T1.3)

이 논문에서 Micron 은 워드라인(WL) 에어갭 형성을 포함한 혁신적인 공정 흐름을 가진 Confined Storage Nitride(SN) 3D-NAND 셀을 보여준다. 에어갭은 WL 기생 커패시턴스를 크게 줄여 프로그램 시간 성능을 향상시킨다. 테스트 메모리 어레이에 대한 완전한 장치 특성화가 수행되었다. 연구자들은 현저한 셀 간 간섭 개선 및 측면 전하 손실 감소를 측정했으며, 이에 따라 이 셀은 향후 3D-NAND 어레이에서 계층 피치를 추가적으로 축소하는 핵심 요소가 될 것이라고 보았다. 전하 트랩으로 인한 Program-erase window 한계도 TCAD 모델링으로 해결되었으며, 이는 window 가 셀 간 페널티 없이 Storage Nitride 막 두께 변화로부터 복구될 수 있음을 보여준다.

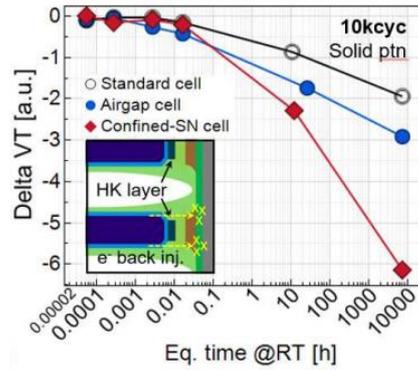
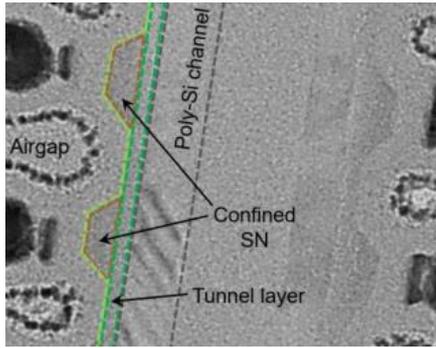


그림: (좌) 에어갭이 있는 confined-Storage-Nitride 셀 3D-NAND 어레이에서 단일 필라의 TEM 단면도. (우) 에어갭 셀의 우수성을 보여주는, 10k program-erase 사이클 후 다양한 셀 구조에서의 수직 전하 손실.

Memory Technology

"First Demonstration of Fully Integrated 16-nm Half-Pitch Selector Only Memory (SOM) for Emerging CXL Memory" – SK Hynix Inc. (Highlight Session – Paper T1.5)

SK 하이닉스는 SOM(Selector Only Memory)의 스위칭 메커니즘을 완전히 이해하는 연구를 수행한다. 이 연구는 TCAD의 구현과 새로운 Compute Express Link™(CXL) 메모리를 위한 최초의 완전 통합형 16-nm 하프 피치 SOM에서 최적화된 코어 회로 설계 및 쓰기-읽기 체계에 기반한 고급 재료 및 공정의 개발로 이어졌다. SK 하이닉스는 제품 레벨 원시 비트 오류율 및 드리프트 관련 지속성, 읽기 간섭, 고온 데이터 보존(125°C에서 10년 이상), 200ppm 원시 비트 오류율의 사이클 내구성과 같은 안정성 수치를 포함한 750-mV 읽기 윈도우 마진을 달성하였다.

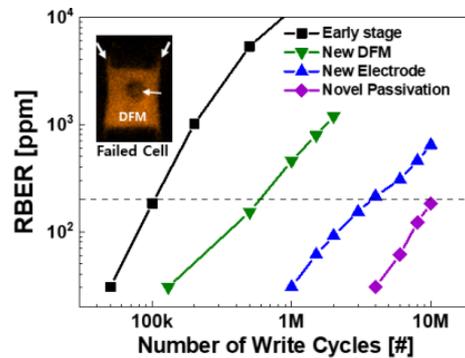
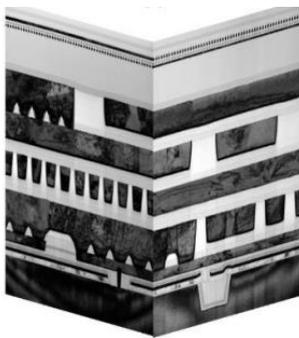


그림: (좌) 셀 구조 아래에 주변부가 배치된 16-nm 하프 피치 교차점 SOM의 단면 TEM 이미지 (우) 쓰기 사이클로 측정된 원시 비트 오류율의 사이클 내구성 특성.

Memory Technology

"4F² Stackable Polysilicon Channel Access Device for Ultra-Dense NVDRAM" – Micron Technology Inc. (Paper T17.2)

이 논문에서 Micron은 초고밀도 32-Gb NVDRAM을 위한 적층형 4F² 폴리실리콘 박막 트랜지스터(TFT) 구현에 사용되는 방법론 및 최적화에 대해 보고한다. 이중층 기술에 필요한 엄격한 열 처리량 제약을 충족하기 위해 몇 가지 핵심 혁신이 구현되었다. 폴리실리콘을 결정화하고 소스/드레인 도펀트를 활성화하기 위해 펄스 레이저 어닐링의 국소 가열이

사용되었다. 재료는 10 년의 안정성을 제공할 수 있는 저온에서 증착된 게이트 산화물과 응집 및 공백(void) 결함에 강한 루테늄(Ru) 워드라인을 모두 설계할 수 있도록 최적화되었다. 상층 공정에 강한 소자 성능은 열 전달 및 결정화 역학을 설명하는 TCAD 모델에서 얻은 정보로 공정 조건을 조정하여 두 층(상층, 하층)에서 일치시켰다.

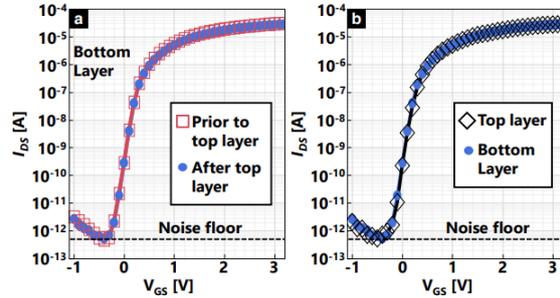
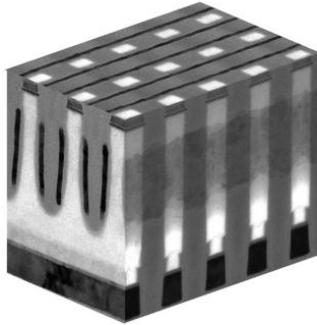


그림: (좌) NVDRAM 용 이중 게이트(Ru) TFT 액세스 소자의 단면도. (우) 상층 TFT 전후의 하층에서 측정된 TFT 를 비교한 IDS-VGS 곡선.

3D Technology

"Backside Power Distribution for Nanosheet Technologies Beyond 2 nm" – IBM Research and Samsung Electronics (Paper TFS2.3)

IBM 과 삼성의 공동 논문은 BSPDN(Backside Power Distribution Network)과 나노시트 트랜지스터 기술을 통합하는 다양한 접근 방법을 검토한다. BSPDN 방식에 기반한 Deep Trench Via 는 Shifted Frontside Via Backside 파워 레일을 제외하고 셀 레벨 스케일링 이점을 제공하지 않지만, via 저항은 병목으로 남을 수 있다. Direct Backside Contact 기반 방식은 최적의 셀 레벨 스케일링을 제공한다. 마지막으로, backside contact 형성 오정렬이 없는 나노시트 트랜지스터에 통합된 새로운 self-aligned backside contact 방식을 보여준다. 이 구조는 양호한 소자 특성과 만족스러운 안정성을 나타낸다.

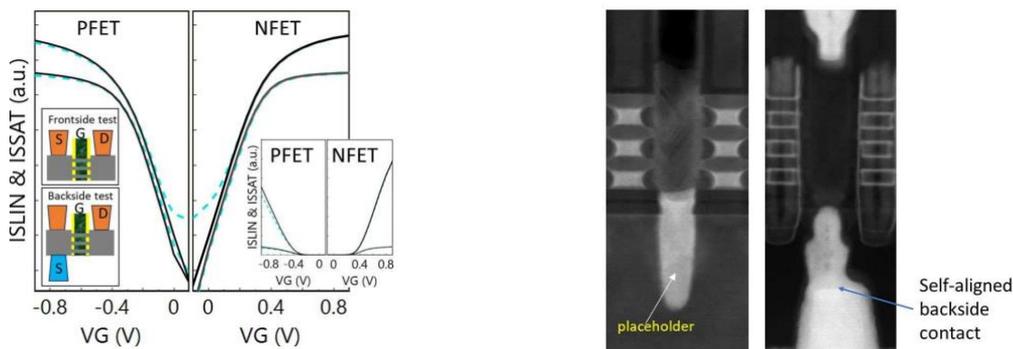


그림: (좌) 전면 접촉 소자(파란색 점선)와 동일 후면의 후면 직접 접촉 소자(검정색 실선) 간 거의 일치하는 전기적 거동을 보여주는 실험의 선형 및 포화 전이 곡선. (우) 플레이스홀더 및 소스/드레인 에피 형성 후 및 자기 정렬된 후면 콘택이 있는 트랜지스터의 TEM 이미지.

3D Technology

"Integration of Si-Interposer and High Density MIM Capacitor on 2.5D Foveros Face-to-Face Architecture" – Intel Corporation (Paper T9.1)

실리콘 인터포저를 통한 다양한 컴퓨팅 소자의 통합은 무어의 법칙을 넘어서는 확장을 가능하게 한다. Intel 의 패시브 Si-인터포저는 TSV(Through Silicon Via) 기술과 페이스-투-페이스 다이 구성의 36- μm 마이크로뱀프 피치를 통해 다양한 칩렛 간 상호 연결을 가능하게 한다. Si-인터포저는 전압 강하 감소 및 노이즈 억제를 위한 디커플링 커패시터가 통합된 HDMIM(High-Density Metal-Insulator-Metal)을 포함한다. 제품에는 Si-인터포저 다이에 HDMIM 을 사용하거나, 칩렛 다이에 HDMIM 을 내장하거나, 둘 다 사용할 수 있다. Intel 의 논문은 HDMIM 의 제작 단계, 전기적 속성, 안정성 벤치마크 및 Si-인터포저 HDMIM 통합을 통한 성능 향상에 대해 설명한다.

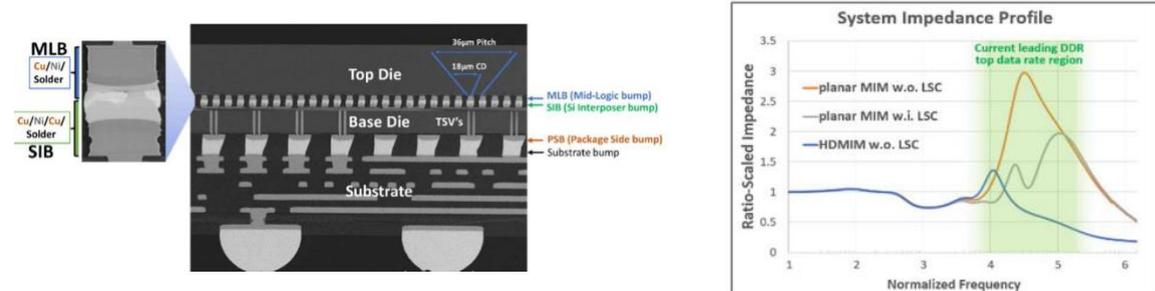


그림: (좌) 실리콘 인터포저 뱀프 및 패키지를 통해 최상층 다이에 연결된 인터포저를 보여주는 단면도. (우) DDR 의 시스템 레벨 임피던스 프로파일에 대한 HDMIM 의 영향.

3D Technology

"Thermal Considerations for Block-Level PPA Assessment in Angstrom Era: A Comparison Study of Nanosheet FETs (A10) & Complementary FETs (A5)" – IMEC (Paper T5.4)

이 논문에서 IMEC 은 향후 Angstrom 노드, 즉, A10 과 A5 에 각각 사용될 것으로 기대되는 NSFET(NanoSheet transistor)와 CFET(Complementary Field Effect Transistors)에 대한 thermal-aware 블록 레벨 PPA 비교 연구를 제안한다. 그들은 오픈 소스 멀티 코어 아키텍처에서 A10 에서 A5 노드까지 블록 레벨 스케일링 결과를 다음과 같이 보고하였다: F_{max} 2.5% 증가, 전력 25% 감소, 사이클당 에너지 27% 감소, 35% 면적 감소, 그 결과 0.7V 및 25°C 의 공칭 조건에서 전력 밀도 15% 증가를 달성하였다. 동적 열 관리 응용에 중요한 온도에 따른 기하 급수적 누설 전력 증가를 설명하는 조기의 일관적인 열 추정이 가능하도록 빠른 패키지 레벨의 열 시뮬레이터로 PPA 분석 방법론을 보강하였다. 분석 결과, A5 노드가 0.7V 에서 작동하는 A10 노드와 동일한 $T_{j,\text{max}}$ 를 유지하는 데 필요한 주파수가 10% 감소하고 Vdd 가 64mV 감소했으며, 시스템 처리량은 40% 증가하였다.

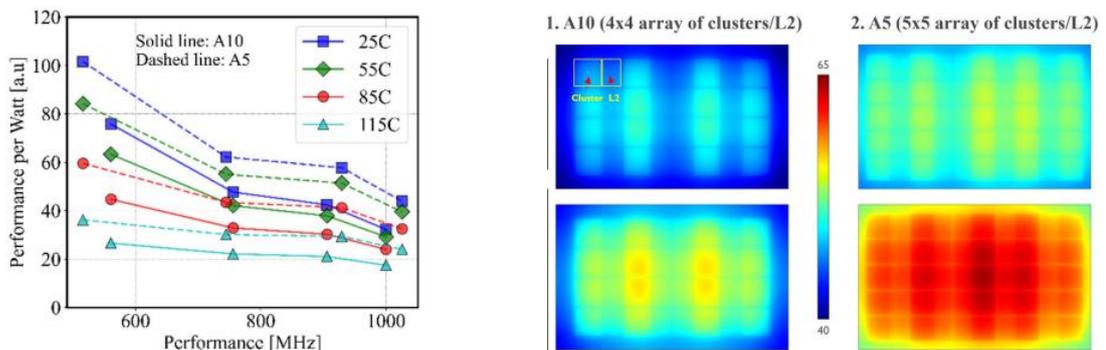


그림: (좌). A10 노드와 A5 노드의 성능/와트 비교로 전체 온도에서 A5 노드의 높은 효율을 보임. (우) 0.7V 에서 작동하는 A10 과 A5 의 T-독립 전력(위) 및 자체 일관적(self-consistent) 전력(아래)을 사용하는 다이 영역 SOC 레벨 열 지도.

Beyond CMOS Technology

"On the Extreme Scaling of Transistors with Monolayer MoS₂ Channel" – TSMC and National Yang Ming Chiao Tung University (Highlight Session – Paper T1.4)

2D TMD(Transition Metal Dichalcogenide)는 트랜지스터 스케일링에 대한 가능성을 보여주지만 온스케일 성능은 아직 입증되지 않았다. 이 연구에서 TSMC 와 국립 Yang Ming Chiao Tung 대학의 공동 연구진은 11nm 의 낮은 접촉 저항을 유지하는 감소된 콘택 길이를 보여준다. 채널 길이 축소는 낮은 RC 로 I_{ON}이 최소 12nm 까지 증가할 수 있음을 보여준다. Sb 기반 금속 콘택이 있는 축소된(채널 길이 = 19nm) MoS₂ 트랜지스터는 V_{DS} = 1V 에서 ~1130μA/μm 의 전류 밀도와 ~190Ω·μm 의 낮은 접촉 저항을 갖는다. BEOL(back-end-of-line) 열 처리량 내에서 처리된 이 축소된 트랜지스터들은 subthreshold 스윙 열화 또는 12-nm 채널 길이까지 감소하는 관찰 가능한 드레인 유도 배리어가 나타나지 않는다.

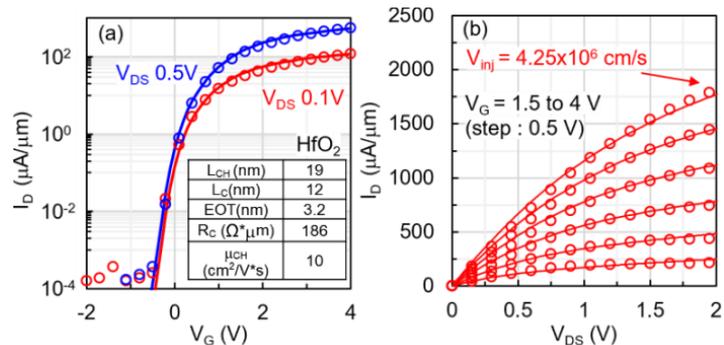
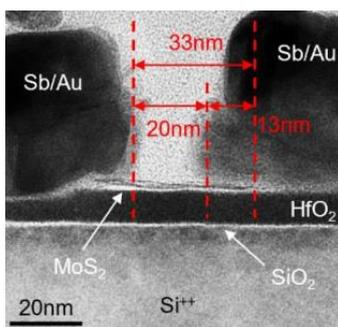


그림: (좌) 채널 길이 13nm 의 공격적인 축소를 보여주는 MoS₂ 소자의 TEM 이미지. (우) 3.2-nm EOT 소자의 전달 및 출력 특성. 기호는 실험 데이터, 선은 TCAD 모델을 나타낸다.

Beyond CMOS Technology

"HZO-based Nonvolatile SRAM Array with 100% Bit Recall Yield and Sufficient Retention Time at 85°C" – Sony Semiconductor Solutions Corporation, Fraunhofer IPMS, and NaMLab (Paper T2.1)

Sony 가 주도한 이 논문은 처음으로 10-nm 이하 두께의 HfZrO_x(HZO) 층을 사용하는 금속/강유전체/금속 커패시터 기반의 16kbit 비휘발성 SRAM(NV-SRAM) 어레이에서 100% 비트 수율을 실험적으로 입증하였다. 이 커패시터는 이전에 개발된 강유전체 랜덤 액세스 메모리(FeRAM) 어레이와 동일한 집적 공정을 사용하여 동일 웨이퍼 상에 형성된다. 비휘발성 데이터 저장, 전력 공급 차단(파워 게이팅) 및 데이터 리콜의 순차적 동작은 강력한 리콜 시퀀스를 통해 완전히 실행되어 매우 낮은 동작 전압으로도 85°C 에서 200 초 파워 게이팅 후 100% 비트 리콜을 달성한다. Sony 의 실험 결과는 HZO 기반 NV-SRAM 및 FeRAM 하이브리드 메모리 시스템이 사물 인터넷 에지 컴퓨팅을 위한 SoC 에서 초저전력 이점을 제공할 수 있음을 시사한다.

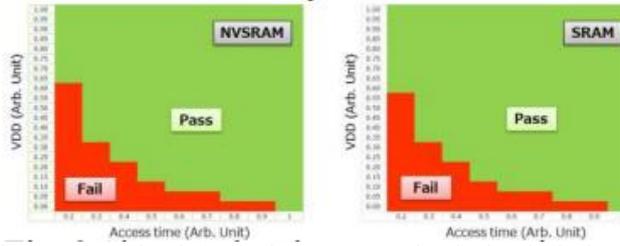
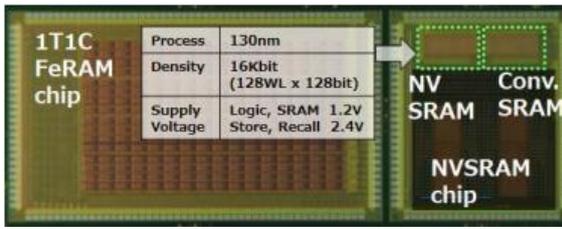


그림: (좌) 하나의 웨이퍼에 형성된 비휘발성 SRAM 및 강유전체 RAM 칩의 사진 이미지. NVSRAM 칩에는 비교를 위해 기존 SRAM 매크로도 있다. (우) 비휘발성 SRAM 및 SRAM 어레이의 활성화 작업 중 액세스 시간과 공급 전압 사이의 Shmoo 플롯.

Beyond CMOS Technology

"Highly Robust All-Oxide Transistors with Ultrathin In₂O₃ as Channel and Thick In₂O₃ as Metal Gate Towards Vertical Logic and Memory" – Purdue University and Samsung Electronics (Paper T4.1)

이 연구에서 Purdue 대학과 삼성의 공동 연구자들은 두꺼운 원자층 증착(ALD) In₂O₃를 게이트 전극으로, In₂O₃ 자체를 콘택으로 하는 3-D 수직 집적을 위한 최초의 원자층 증착 전 산화물 트랜지스터를 보고한다. 전 산화물(all-oxide) 박막 트랜지스터(TFT)는 106 이상의 on/off ratio, 높은 균일성, 양과 음의 바이어스 스트레스 테스트에서 임계 전압 이동이 5와 50mV 인 매우 강력한 안정성을 갖는다. 수직 전 산화물 TFT는 사이드월(side wall)에서 105 이상의 on/off ratio, 160μA/μm 이상의 최대 전류(I_{max})로 양호한 제어를 보여준다. 또한, 수직 전 산화물 강유전체 전계 효과 트랜지스터(Fe-FET)는 1.85V의 메모리 윈도우와 10¹² 사이클의 내구성, 10년의 보존성을 제공한다. 이는 ALD 산화물 반도체 기반의 수직 전 산화물 소자가 미래의 고밀도 집적 회로의 유력한 후보임을 보여준다.

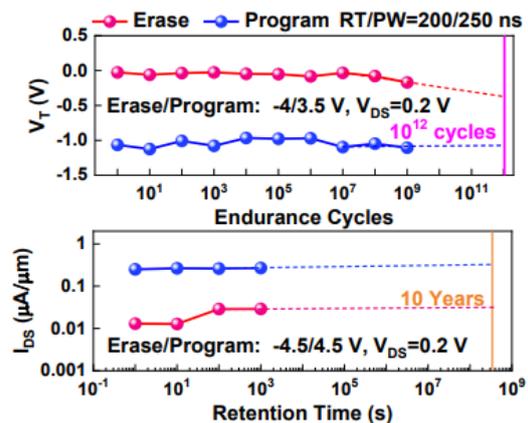
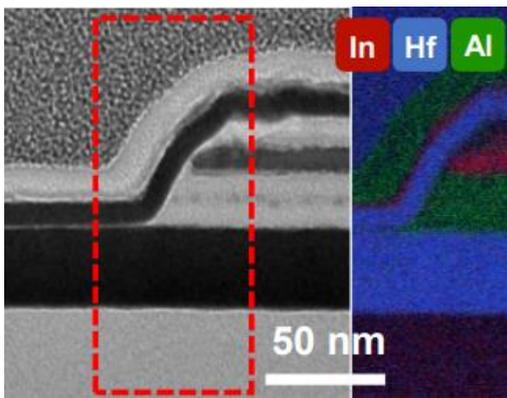


그림: (좌) 고해상도 TEM 단면 이미지 및 ALD 수직 전 산화물 FET 10nm In₂O₃ 유전체의 EDS 매핑. (우) 상온에서 ALD 수직 In₂O₃ Fe-FET의 주요 상태 내구성 및 보존 성능.

Circuits Highlights

Processors and SoCs

"Occamy: A 432-Core 28.1 DP-GFLOP/s/W 83% FPU Utilization Dual-Chiplet, Dual-HBM2E RISC-V-based Accelerator for Stencil and Sparse Linear Algebra Computations with 8-to-64-bit Floating-Point Support in 12nm FinFET" – ETH Zürich, Stanford University, and University of Bologna (Paper C7.4)

ETH Zürich, Stanford 대학, Bologna 대학의 공동 연구자들은 활용도가 높은 광범위하고 불규칙한 메모리 액세스 컴퓨팅 워크로드를 처리하기 위해 최적화된 2 개의 16-GB HBM2E 스택으로 이루어진 유연한 범용 듀얼 칩렛 시스템을 제시한다. Occamy 라는 이름을 가진 이 이중 시스템은 FP64 및 32, 16, 8 비트 SIMD 부동 소수점 데이터에 대한 효율적인 희소 선형 대수 및 스텐실 계산을 위한 432 코어 RISC-V 듀얼 칩렛 2.5-D 시스템으로 구성된다. Occamy 는 커스텀 확장 기능을 갖춘 48 개의 RISC-V 코어 클러스터, 2 개의 64 비트 호스트 코어, 32GB 의 HBM2E 를 갖춘 지연 시간 허용 멀티 칩렛 인터넥트와 메모리 시스템을 구현하여, 스텐실(83%), 희소-고밀도(42%), 희소-희소(49%) 행렬 곱셈에서 혁신적인 성능개선의 결과를 보여준다.

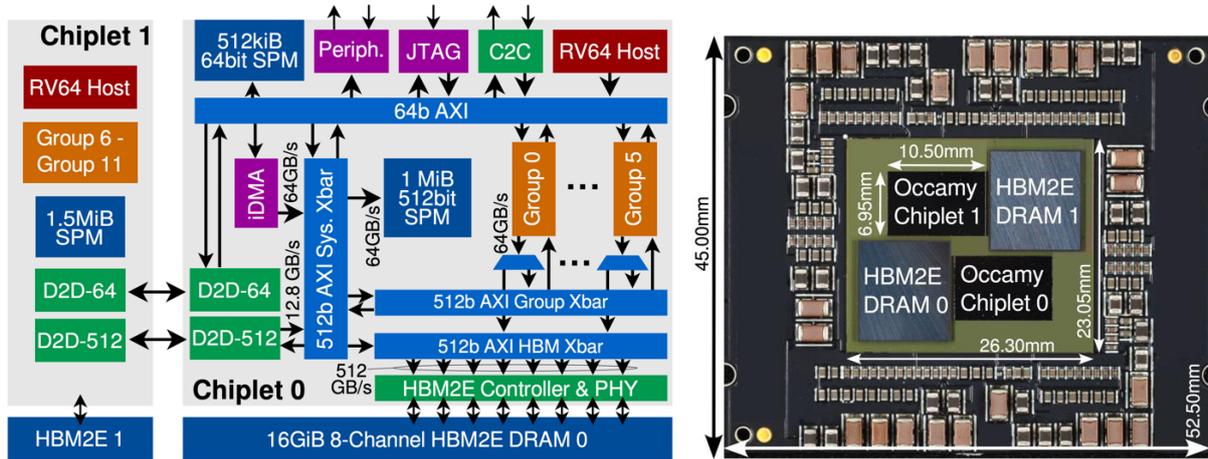


그림: (좌) 듀얼 칩렛 아키텍처. (우) 모듈 사진.

Devices and Accelerators for Machine Learning

"Dyiamond: A 1T1C DRAM In-memory Computing Accelerator with Compact MAC-SIMD and Adaptive Column Addition Dataflow" – KAIST and Samsung Electronics (Paper C20.1)

KAIST와 삼성의 연구진은 메모리 접근을 줄여 시스템의 에너지 효율을 개선하면서 증가된 메모리 밀도를 효율적으로 활용하는 1T1C DRAM 인-메모리 컴퓨팅 가속기를 제안한다. Dyiamond라는 코드명을 가진 이 가속기는 고밀도 및 에너지 효율을 위한 CA(column addition) 데이터 흐름을 제안하고 있다. 특히, LSB-CA 개념을 통하여 에너지 효율을 높이는 ADC 리드아웃을 최소화 방식을 제시하고, 신호 향상 다중 누적(MAC) 및 신호 변환 ADC를 갖춘 MSB-CA 방식을 바탕으로 SQNR을 향상시켜 에너지 효율을 더욱 개선하였다. 스위칭 가능한 감지 증폭기는 저전력 인-메모리 SIMD 동작을 지원하는 과정에서 에너지 소비를 더욱 감소시킬 수 있다. 28nm CMOS로 제작되고 6.48-mm² 다이 영역 내에 27-Mb DRAM 메모리를 통합한 Dyiamond는 27.2 TOPS/W의 피크 에너지 효율과 고급 ML 모델(ResNet, BERT, GPT-2)에서 뛰어난 성능을 달성한다.

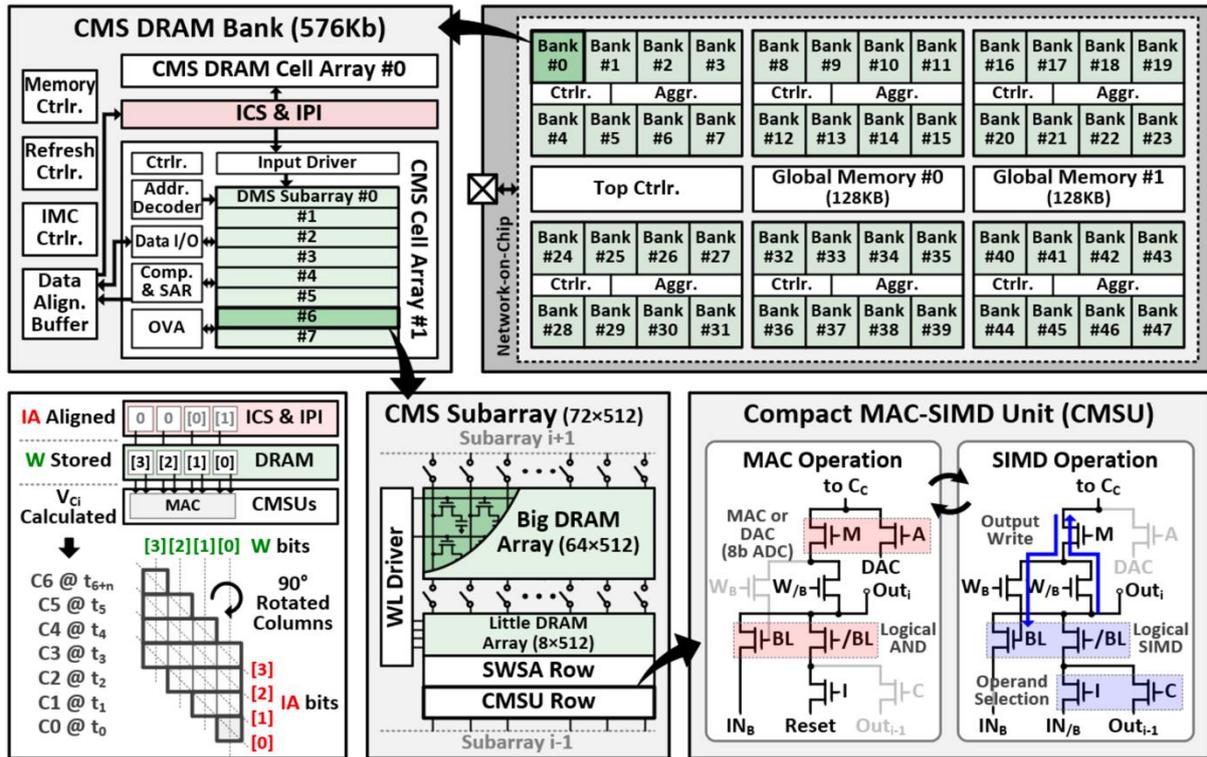
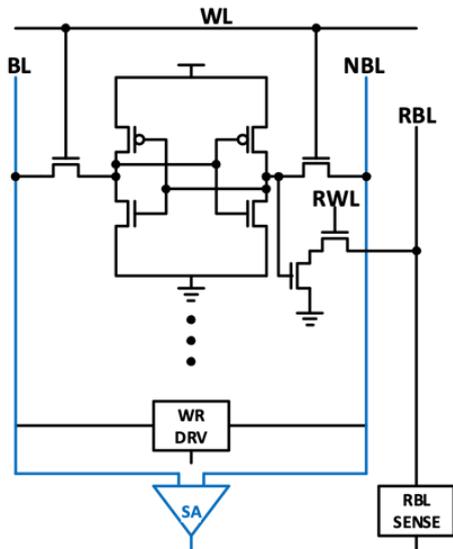


그림: Dyamond의 전체 아키텍처.

Memory Technologies, Devices, Circuits, and Architectures

"A 7GHz High-Bandwidth 1R-1RW SRAM for Arm HPC Processor in 3nm Technology" – Arm (Paper C16.3)

Arm의 대표적인 고성능 프로세서에 완벽하게 통합된 3-nm CMOS의 1R1RW(1Read-1ReadWrite) HBI(High Bandwidth Instance) L1-데이터 캐시 메모리 아키텍처를 발표한다. 기존의 8T-1R1W 메모리를 향상시킨 HBI는 읽기 포트를 추가하여 1R1RW 성능을 달성한다. L1-데이터 캐시의 HBI 메모리는 가용 읽기 대역폭을 두 배로 늘려 프로세서 IPC를 1% 이상 향상시킨다. 그 밖에도 새로운 아키텍처는 CPU 설계에서 라우팅 혼잡을 개선하여 면적을 13% 줄이고 라우팅 지연을 10~15ps 줄였으며, 100%의 1R1RW HBI 수율, 8T SRAM 메모리에 보고된 7GHz 이상의 최고 주파수와 11.2Mbit/mm²의 최저 비트 밀도를 보고한다.



Parameter	1RW	1R1RW HBI
Bitcell	6T (HC)	8T (TP)
Read Ports	1	2
Bitcell Area (a.u.)	1	1.33
Macro Area (μm^2)	1312	1739
L1-D cache (μm^2)	83991 (128KB)	55636 (64KB)

그림: 6T-1RW 메모리 대비 L1-데이터 캐시 영역을 33% 감소시키는 1R1RW HBI 메모리 셀 아키텍처.

Digital Circuits, Hardware Security, Signal Integrity, IOs

"A 5.6 μW 10-Keyword End-to-End Keyword Spotting System Using Passive-Averaging SAR ADC and Sign-Exponent-Only Layer Fusion with 92.7% Accuracy" – Seoul National University and Columbia University (Paper C25.1)

서울대학교와 Columbia 대학의 연구진은 모바일 기기와 IoT 기기에서 초저전력으로 10개 키워드를 감지하는 새로운 keyword spotting (KWS) 솔루션을 제시한다. 제안된 아키텍처에서는 아날로그 프론트엔드(AFE) SNR을 개선하기 위해 20nW의 작은 전력으로 동작할 수 있는 수동 평균화를 도입하였다. 부호-지수 전용 계층 융합 방식은 모델 크기와 전력 오버헤드를 각각 63.5% 및 29.8% 감소시키면서도 KWS 정확도를 유지하여, 92.7%의 정확도와 5.6 μW 의 전력 소비를 보고한다.

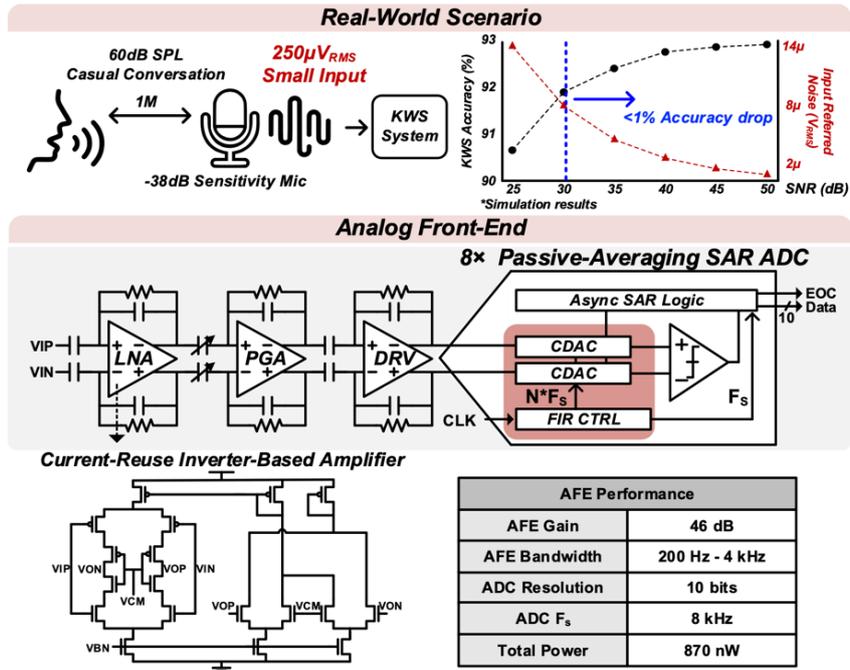


그림: AFE 설계 제약 조건, 아키텍처 및 성능.

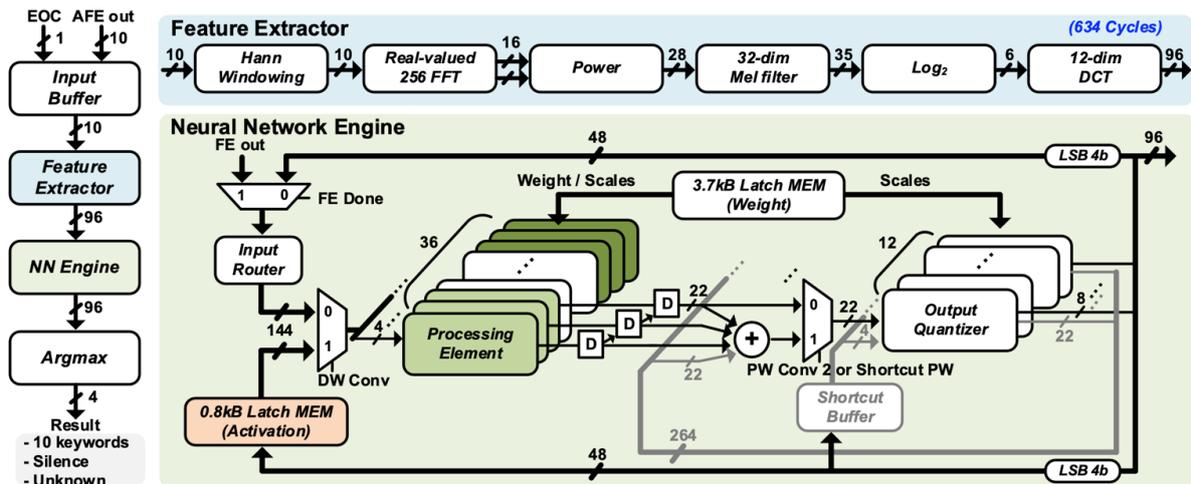


그림: 디지털 백엔드 아키텍처.

Biomedical Devices, Circuits, and Systems

"SPIRIT: A Seizure Prediction SoC with a 17.2 nJ/cIs Unsupervised Online-Learning Classifier and Zoom Analog Frontends" – University of California, Berkeley (Paper C23.1)

UC Berkeley 대학에서는 자율적 온라인 학습에 기반한 발작 예측 분류기를 통합한 SPIRIT 라는 이름의 SoC 를 발표한다. 이 연구는 8 개의 14.4- μ W, 0.057- mm^2 , 90.5-dB 다이내믹 레인지를 지원하는 아날로그 프론트엔드를 제안하여 평균 97.5%/96.2% 민감도/특이도로 간질 발작이 발생하기 8.4 분 전에 예측이 가능한 솔루션을 제시한다. 제안하는 분류기는 17.2 μ W 를 소비하고 0.14 mm^2 면적으로 구현되어, 기존보다 전력은 134 배 이상, 면적은 5 배 이상 개선된 결과를 보고한다.

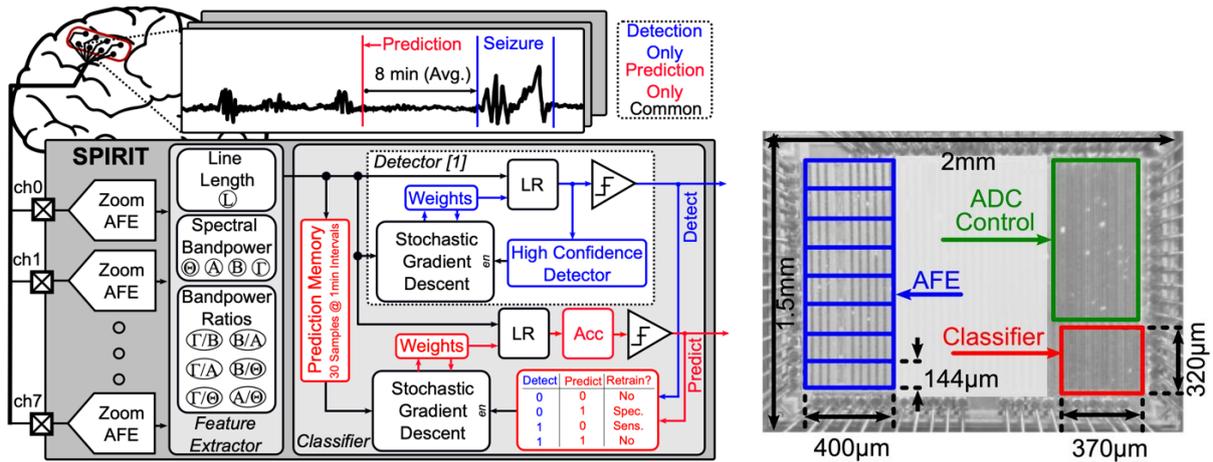


그림: (좌) SPIRIT 시스템 레벨 다이어그램. (우) 칩 현미경사진.

Sensors, Imagers, IoT, MEMS, Display Circuits

"3D-Stacked 1Megapixel Time-Gated SPAD Image Sensor with 2D Interactive Gating Network for Image Alignment-Free Sensor Fusion" – Canon Inc. (Paper C6.1)

Canon은 2D 인터랙티브 게이팅 네트워크를 기반으로 하는 5µm 피치, 3D-BSI 1Mpixel 시간 게이팅된 SPAD 이미지 센서를 제공하여 이미지 정렬이 필요 없는 센서 융합 솔루션을 발표한다. SPAD 이미지 센서는 글로벌 셔터 2D 이미징을 위해 1,310fps로 작동하고, 0.02lux에서 0.76-ms 시간 해상도로 이벤트 비전 센싱을 수행한다. 이 연구는 범위 게이팅된 이미징을 통해 가혹한 환경에서 강력한 이미징의 실현 가능성을 보여준다. 게이팅 네트워크 아키텍처는 50-klux 주변광 하의 3D 깊이 측정에서 배경 억제를 가능하게 한다.

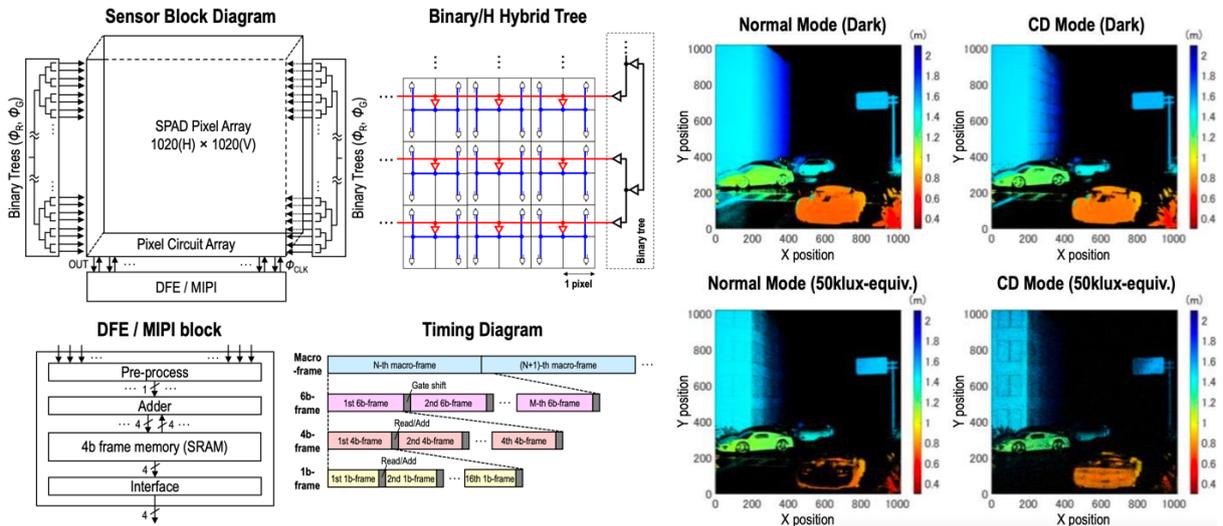


그림: (좌) 센서 블록 다이어그램, 클록 트리 구성 및 타이밍 다이어그램. (우) 일반 및 CD 모드에서 측정된 3D 깊이 맵, 각각 어두운 주변광과 50klux 등가의 주변광에서 캡처됨.

Data Converters

"A 16GS/s 10b Time-domain ADC using Pipelined-SAR TDC with Delay Variability Compensation and Background Calibration Achieving 153.8-dB FoM in 4nm CMOS" – University of Southern California and MediaTek (Paper C24.2)

Southern California 대학과 Mediatek 의 연구진은 4-nm CMOS 에서 4X time-interleaving 기술만으로 16GS/s 에서 10 비트 변환을 달성하는 direct-RF sampling time-domain ADC 를 제안하였다. 높은 SNR 과 선형성을 달성하기 위해 리던던시 기반 TDC(time-to-digital converter) 지연 가변성 보상 방식, 백그라운드 지연 오프셋 보정 방식 및 바닥판 샘플링 VTC(voltage-to-time converter) 구조를 선보였으며, 구현결과 8000 μm^2 면적에서 94.2mW 전력소비를 보고하였다. Nyquist sampling rate 기준으로 55.93-dB SFDR 및 44.48-dB SNDR 을 달성하여 153.8dB 의 Schreier FoM 을 달성하였다.

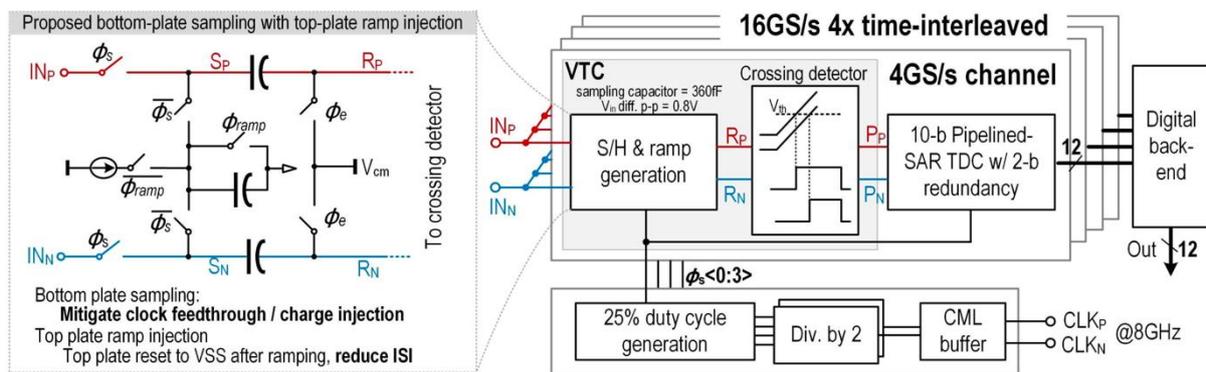


그림: ADC 블록 다이어그램 및 제안된 VTC 아키텍처.

Analog and Mixed-signal Circuits

"A 5.8-W, 0.00086% THD+N, 118-dB PSRR Class-D Audio Amplifier with Passive Output Common-Mode Compensation Technique for Wide Output Power Range" – Samsung Electronics (Paper C5.3)

삼성에서는 기존의 효율을 극적으로 개선한 Class-D 오디오 증폭기(CDA)를 제안하였다. 넓은 출력 전력 범위에서 높은 선형성 달성을 위한 POCMC(passive output common-mode compensation)와 PSRR 향상을 위한 CTRI-CMFB(complementary tri-wave common-mode feedback) 기법이 적용되었으며, 0.13- μm BCD 공정에서 1.46mm² 면적으로 구현되어 8- Ω 부하에서 93.2%의 효율로 0.00086% THD+N, 118dB PSRR 및 5.8W(THD+N=1%)의 최대 출력 전력을 달성하였다.

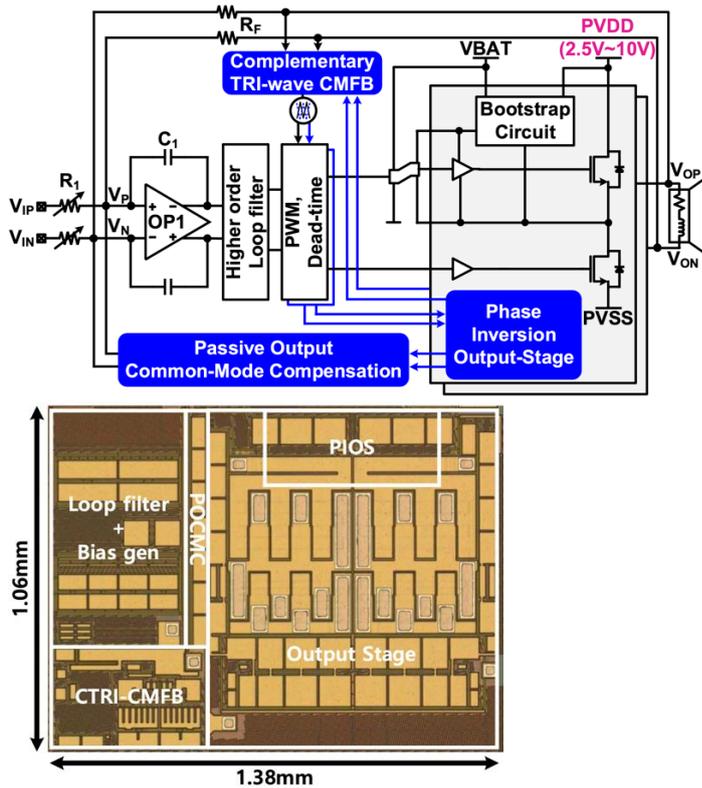


그림: (좌) 제안된 CDA 방식. (우) 다이 현미경 사진.

Wireline and Optical Transceivers, Optical Interconnect and Processors

"A 0.296-pJ/bit 17.9-Tb/s/mm² Die-to-Die Link in 5nm/6nm FinFET on a 9- μ m-pitch 3D Package Achieving 10.24 Tb/s Bandwidth at 16 Gb/s PAM-4" – TSMC (Paper C14.1)

TSMC에서는 9- μ m 본드 피치에서 face-to-back 3D 적층 방식으로 5-nm 컴퓨팅 다이와 6-nm SRAM 다이의 이중 통합을 위한 다이 간 링크를 제시한다. 다양한 확장성을 지원하는 본 연구에서는 라인당 PAM-4 16Gb/s 데이터 속도로 320 TX 레인과 320 RX 레인에 대한 10.24-Tb/s의 총 대역폭을 달성하는 모듈식 설계를 보고하였다. 각 데이터 클러스터 모듈은 378 μ m \times 378 μ m 공간에 80 TX/RX 레인을 포함하여 링크당 17.9Tb/s/mm²의 대역폭 밀도와 0.296pJ/bit의 에너지 효율을 제공한다.

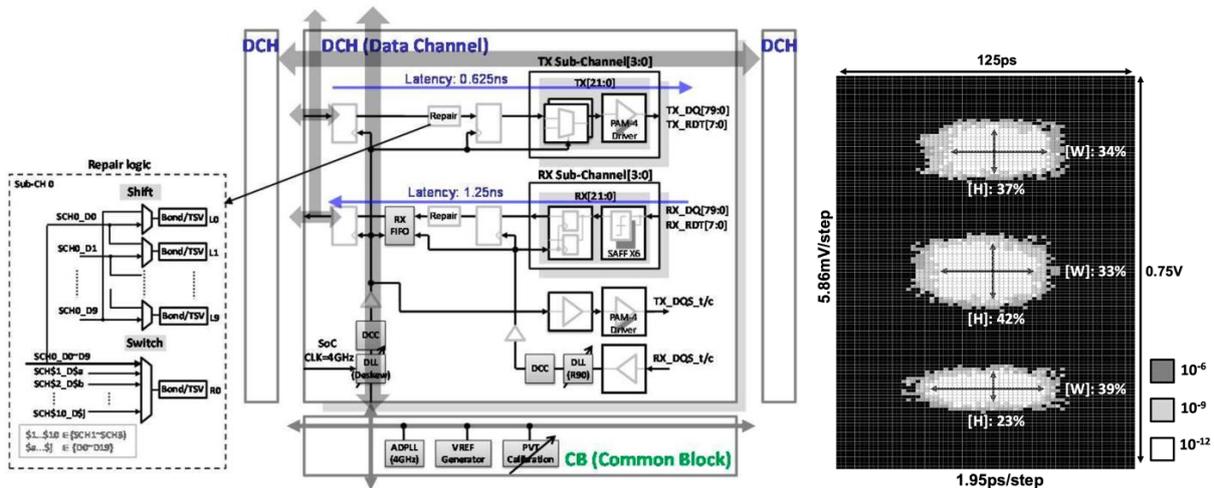


그림: (좌) 수리 로직을 포함하는 다이 간 인터랙트 아키텍처. (우) 16Gb/s 에서 측정된 PAM-4 eye.

Wireline and Optical Transceivers, Optical Interconnect and Processors

"A 4x50-Gb/s NRZ 1.5-pJ/b Co-Packaged and Fiber-Terminated 4-Channel Optical RX" – Intel Corporation (Paper C14.4)

Intel의 연구진은 빅데이터 애플리케이션을 겨냥한 4 채널의 공동 패키징된 광수신기(RX)를 발표한다. 본 논문의 RX는 포토다이오드 어레이, 파이버 터미네이션 및 트랜스임피던스 증폭기 프론트엔드(TIA-FE) IC를 RX 데이터 경로 IC와 동일한 패키지에 통합하였다. TIA-FE는 높은 감도를 달성하기 위해 RX 데이터 경로에서 1/4 속도 2 탭 피드-포워드 이퀄라이저를 활용하였으며, 대역폭 확장 및 대역 내 그룹 지연 보상 기술이 추가로 사용되었다. 또한, 프론트엔드에는 노이즈 분산을 동일 전력에서 3.5 배 향상시키는 StrongArm 래치가 새롭게 적용되었다. 제안하는 광 RX는 VCSEL 기반 광 송신기에 의해 변조되며, BER가 10^{-12} 미만이고 감도가 -6dBm 인 1.5pJ/b에서 4x50Gb/s NRZ를 보고하였다..

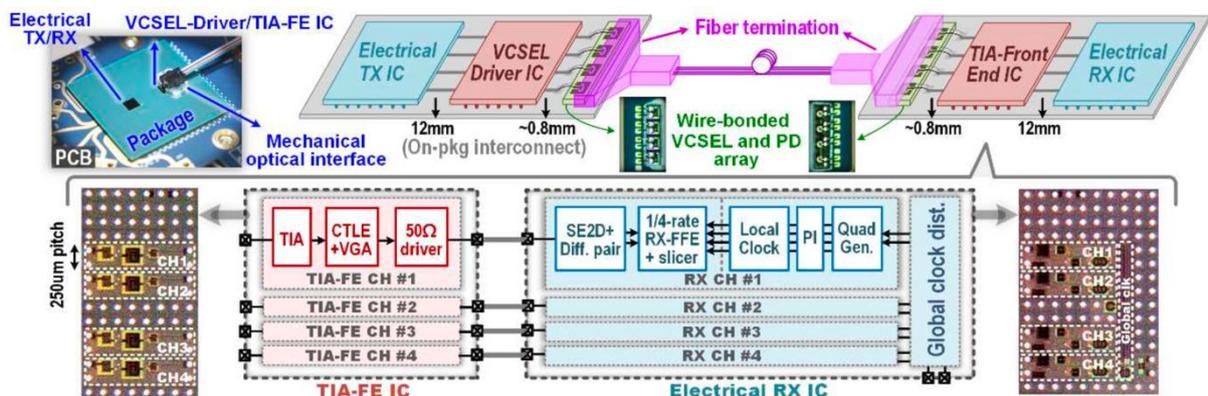


그림: 공동 패키징되고 파이버 터미네이션된 4 채널 광 트랜시버 시스템 통합과 RX 및 TIA-FE IC의 단순화된 블록 다이어그램.

Wireless and RF Devices Circuits and Systems

"A 640-Gb/s 4x4-MIMO D-Band CMOS Transceiver Chipset" – Tokyo Institute of Technology (Paper C9.2)

Tokyo Institute of Technology 는 D 대역(114~170GHz) mm-Wave 응용을 위해 56-GHz 신호-체인 대역폭을 커버하는 CMOS 트랜시버(TRX) 칩셋을 제시한다. 이 연구에서는 대역폭과 선형성을 향상시키기 위해 8-way low-Q 전력 결합 전력 증폭기, 2-way low-Q 전력 결합 저노이즈 증폭기, 광대역-임피던스-변환 믹서 및 공통 소스 기반 캐스케이드 분산 증폭기를 활용하였다. TRX 칩셋 실리콘은 단일 입력 단일 출력(SISO) 무선(over-the-air) 측정에서 200-Gb/s 데이터 속도(32-QAM 모드)를 달성하고, 15-m 거리에서 120-Gb/s 데이터 속도(16-QAM 모드)를 달성한다. 이 연구는 또한 640-Gb/s 4x4 다중 입력 다중 출력(MIMO) 동작도 보여준다.

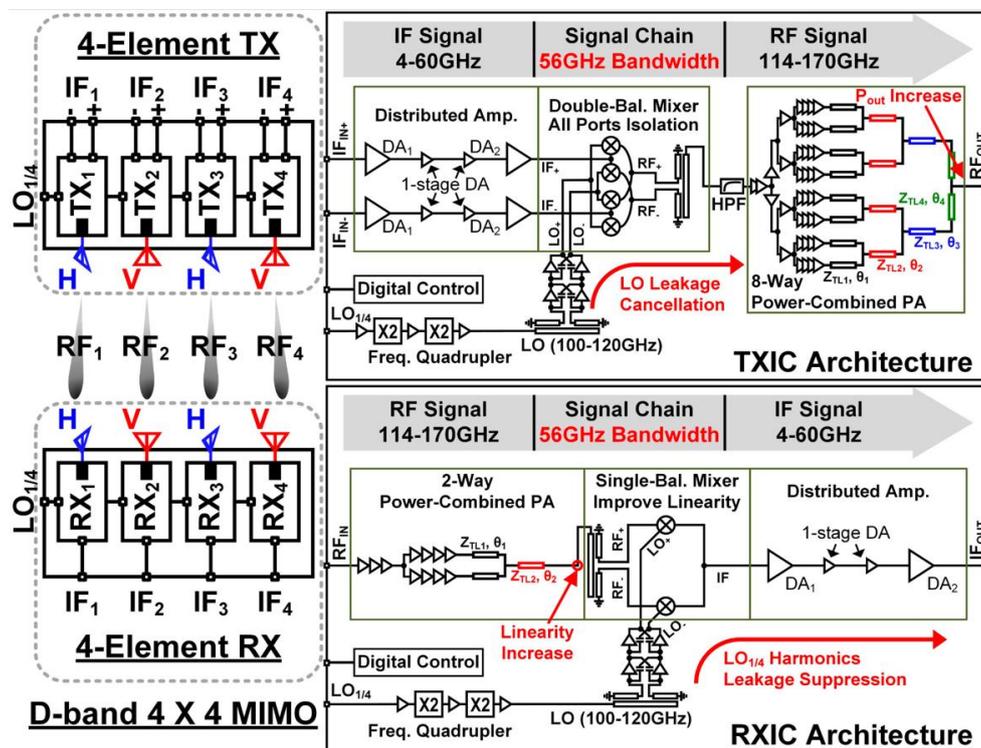


그림: MIMO 및 트랜시버 칩셋 블록 다이어그램.