



## 2022 年 VLSI テクノロジー&回路シンポジウムの技術ハイライト

2022 年の VLSI テクノロジー&回路シンポジウムは、半導体集積回路技術の進歩、進展および進化を議論する最高峰の国際会議であり、新たに一つに統合される本シンポジウムは、6 月 12 日から 6 月 17 日にかけてハワイ州ホノルルで現地開催されます。参加される方々のネットワーク形成の場となるヒルトンハワイアンビレッジでのライブセッションと共に、現地参加が困難な方へは選択的に講演やパネルにアクセスできるオンデマンドセッションをハイブリッド形式で提供します。

シンポジウムは今年、固体トランジスタの発明から 75 周年を迎えるのに合わせて開催されます。

シンポジウム全体のテーマは、” 未来を担う不可欠な社会基盤、VLSI テクノロジーと回路”です。スマートコネクテッドデバイス、インフラストラクチャおよびシステムは人々のコミュニケーションのかたちを変えていきます。新しい時代へと移行するグローバル社会の一部として、先端技術開発、革新的な回路設計、およびそれらが可能にする応用システムが披露され、議論される場となることを期待しています。

以下に、このテーマに沿ったテクノロジー&回路シンポジウムのハイライト論文を紹介します。

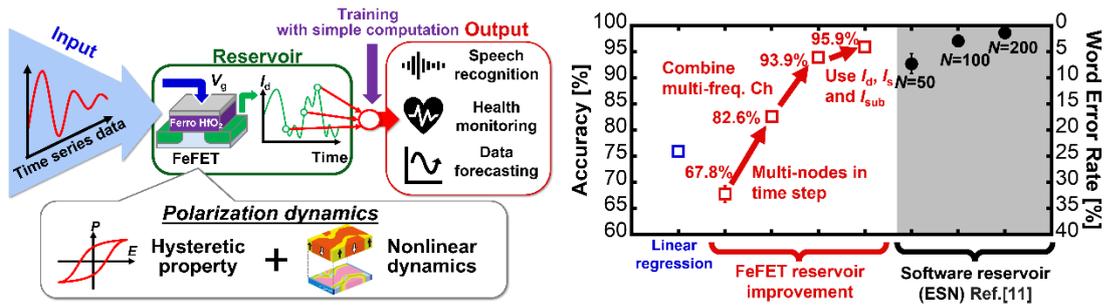
### Joint Technology and Circuits Highlights

今年は、これまで別々に開催されていたテクノロジーと回路のシンポジウムを 1 つに統合して開催します。ここでは、テクノロジーと回路の融合がもたらす一歩を象徴する論文を紹介します。

#### Beyond CMOS Machine Learning

“強誘電体トランジスタを用いたリザーバーコンピューティング” – 東京大学 (C25-1)

東京大学の研究グループは、発話認識用の並列処理プロセッサとして、強誘電体トランジスタ(FeFET)を用いたリザーバーコンピューティングの原理実証を行いました。リザーバーコンピューティングは、機械学習の一種であり、出力層の重みづけを学習するだけで済むため、エッジ AI 応用での効率的なオンライン学習が可能になります。本グループは、FeFET における分極のダイナミクスを用いる演算方式を示しました。基礎的な学習タスクである短期メモリ(STM)タスクとパリティチェック(PC)タスクについて、単一の FeFET におけるドレイン電流の時間応答から仮想ノードを形成することでタスクを実証しました。発話認識では 95.9%の認識率を実現しました。

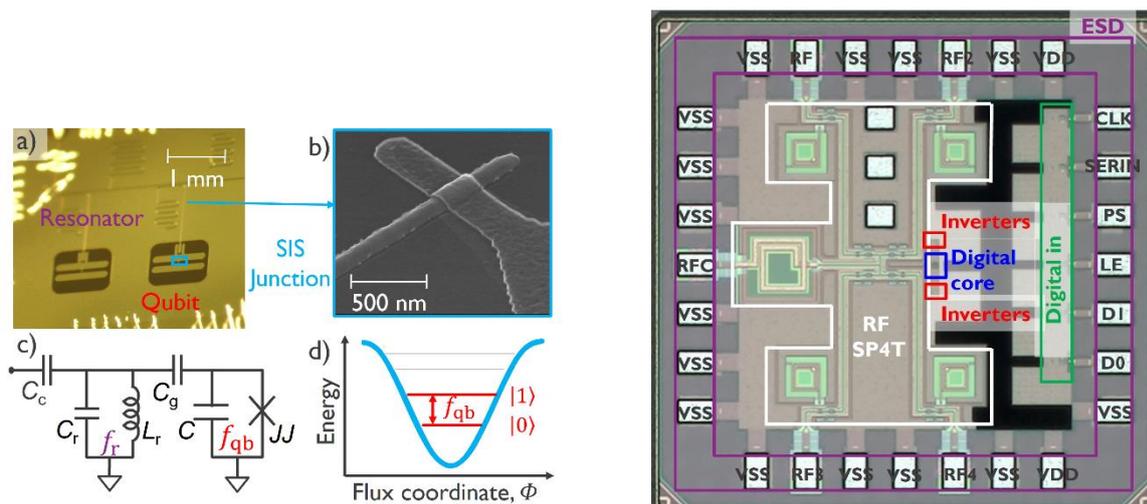


図の説明：東京大学は、音声認識用の並列データプロセッサで強誘電体ゲート MOSFET (FeFET) を使用したリザーバーコンピューティングの新しい実装 (左) を発表し、ソフトウェアベースのリザーバーコンピューティングと同様の精度を示しています (右)。

## Quantum Computing

“超伝導 Qubit 計測のための 10mK 動作クライオ CMOS マルチプレクサー” — ルーベンカトリック大学 (Joint-2)

KU Leuven の研究者は、10 mK のベース温度で動作する超低電力クライオ CMOS 単極 4 スロー (SP4T) RF マルチプレクサーの電気的性能について報告します。彼らは、マルチプレクサーを使用して超伝導キュービットのベンチマークを初めて行い、35 $\mu$ s を超えるキュービットコヒーレンス時間を取得し、サーフェスコードに基づく量子エラー訂正に必要な、99.93% の平均シングルキュービットゲート忠実度を取得しました。この研究は、超伝導キュービットと超低電力クライオ CMOS デバイスのベース温度での操作性を実証し、先端集積化への道を開きます。

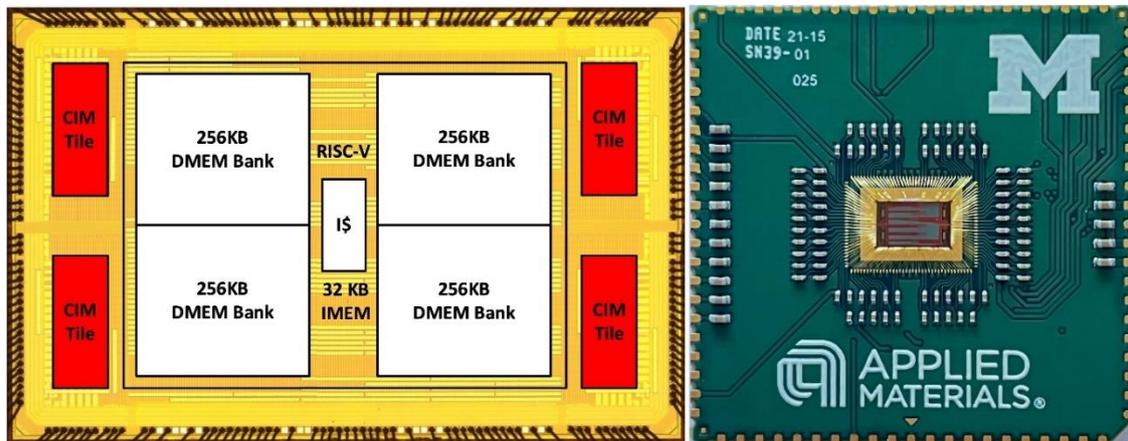


図の説明：超伝導共振器に結合された高コヒーレンス超伝導キュービット (左) と、カスタム設計された低電力 RF SP4T クライオマルチプレクサーの内部アーキテクチャで構成される量子デバイス (右)

## Compute-in-Memory

### “8 ビット 20.7 TOPS/W を実現する多値セル抵抗変化型メモリ(ReRAM)を用いたコンピュータ・エンジン” – ミシガン大学 (JFS-1)

ミシガン大学はアプライド マテリアルズ社と共同で、多値セル抵抗変化型メモリ (ReRAM)を用いたアナログ・CIM(Compute-in-memory) により、機械学習や科学計算向けの高密度・高効率な演算を実現したことを報告します。SoC プロトタイプは、4つの内蔵 ReRAM ベース CIM タイルと RISC-V ホストで構成されます。測定された生のピーク効率と正規化されたピーク効率はそれぞれ 20.7, 662 TOP/W であり、演算密度は 8.4 TOPS/mm<sup>2</sup>、128 MNIST データセットを用いた時の分類精度は 96.8%であると報告しています。

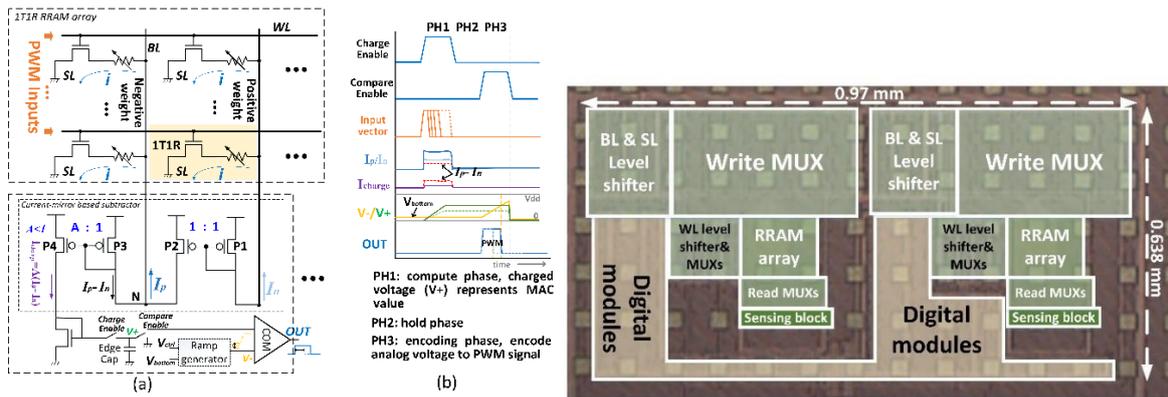


図の説明：ダイ写真とカスタム基板 PCB 上の PLCC ソケットに差し込まれた試作チップ。SoC プロトタイプは、4つの内蔵 ReRAM ベース CIM タイルと RISC-V ホストで構成

## Compute-in-Memory

### “パルス幅変調入力を用いた AD 変換器フリーの抵抗変化型メモリ搭載 Compute-in-Memory(CIM) マクロ” – ジョージア工科大学 (JFS-2)

ジョージア工科大学は、メモリアレイ入力にパルス幅変調を適用することで AD 変換器を不要にした 40 nm テクノロジ 1T1R セルの抵抗変化型メモリ (Resistive Random Access Memory : RRAM) を搭載した Compute-in-Memory(CIM) マクロを報告します。CIM は、ディープニューラルネットワーク (DNN) で広く用いられている積和演算に関して、従来のデジタル処理に代わる電力効率の良いアーキテクチャとして注目されています。これまでに報告された多くの CIM マクロでは、積和演算結果を AD 変換器でバイナリビットに変換後、各メモリアレイでの演算を実現しています。しかしながら、AD 変換器を含むバイナリビットに変換する回路のオーバーヘッドが大きいと言う課題に加え、AD 変換器の量子化誤差による演算精度の低下と言った課題がありました。積和演算結果をデジタル化するオーバーヘッドを省くことで演算に関する回路面積を 50%削減しました。また、同テクノロジーの AD 変換器を用いた RRAM 搭載 CIM マクロに比べ、11.6 倍の電力効率改善と 4.3 倍の演算効率改善を達成しました。



図の説明：(左) 1T1Rセルアレイを用いたAD変換器フリーの構成と動作。(右) 2アレイ RRAM マクロのダイ写真

## Technology Highlights

### Advanced CMOS Technology

“Intel4 : High Performance Computing 向けの先端 CMOS FinFET トランジスタ技術”  
 – インテル (T1-1)

ムーアの法則は存続へ：Intel は新たな Advanced CMOS FinFET 技術、Intel4 を導入しました。Intel4 は Intel 7 に比べて集積度 2 倍向上、性能を 20% 改善し、デザインルールはゲートピッチ 50nm、フィンピッチ 30nm、最小メタルピッチ 30nm です。トランジスタは 8 つの VT オプション (NMOS 4VT/PMOS 4VT) を提供し、VT の範囲は NMOS 190mV、PMOS 180mV と広く、設計者が消費電力と性能の要求から最適な VT オプションを選択できます。EUV 露光技術がプロセス最適化と歩留改善のために広範囲に適用されています。またクリティカル配線は 16 層で改良した Cu 配線が適用され、エレクトロマイグレーションを改善と配線抵抗低抵抗化を実現しています。

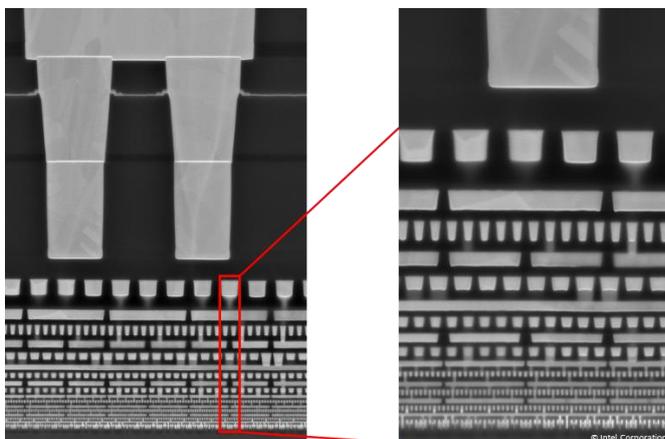


図 1

図の説明:

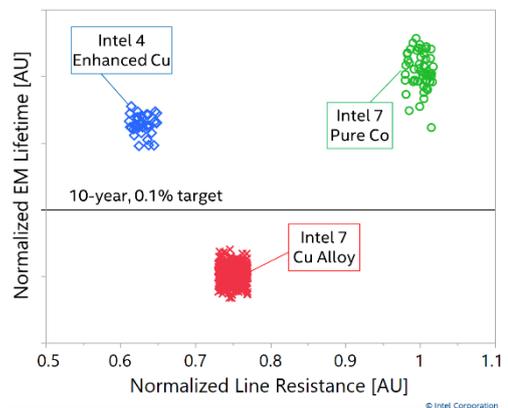


図 2

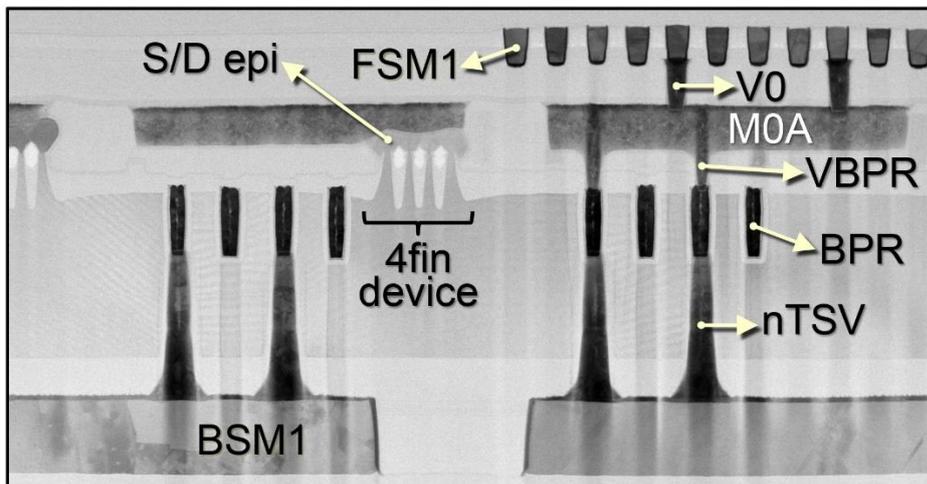
図1：インテル4 インターコネクタスタックの断面図。 EUV パターニングは、プロセスフローを簡素化し、歩留まりを向上させるために、下部金属層で使用されます

図2：インテル4、インテル7テクノロジーの異なる冶金学における、エレクトロマイグレーション寿命とライン抵抗の関係

## Advanced CMOS Technology

### “埋め込み電源配線 (BPR) を介したウェーハ両面配線を持つ微細 FinFET プロセス” - アイメック (T1-2)

IMEC は、トランジスタの下に電源配線を埋め込む Buried Power Rail (BPR) 技術を開発しました。この技術を用いると、信号配線と電源配線で配線配置の競合が発生しなくなるため、IR ドロップが低くなり配線密度が高くなるという 2 つの利点があります。今回 IMEC は、ウェーハの両面から BPR を介した電源接続を可能にする新しい配線方式を有する先端 FinFET プロセスについて報告します。表面側では、p/n の S/D エピ領域と BPR とが接触するビアのパターニングについて最適化されたプリクリーンを使用して 1 回のメタル配線形成ステップのみで、良好な界面接触特性を実現しています。ウェーハを反転しウェーハボンディングと基板の極薄膜化処理後、323nm 深さの高度に微細化されたナノスルーシリコンビア (nTSV) が厳密な重ね合わせ制御と低い BPR 抵抗をキープした状態で BPR に接触します。2nm の設計ルールで製作された低電力 64 ビット CPU において、電力供給ネットワークを裏面側に移動することにより、オンチップ電力ヒートマップから予測される動的および静的な IR ドロップがより小さくなります。VT 特性の回復、モビリティ改善、および BTI の改善のためのアニール処理が追加されることにより、裏面処理後の N-ch、P-ch それぞれの MOS トランジスタは、従来と同等か、あるいはより優れた Ion-Ioff を示します。

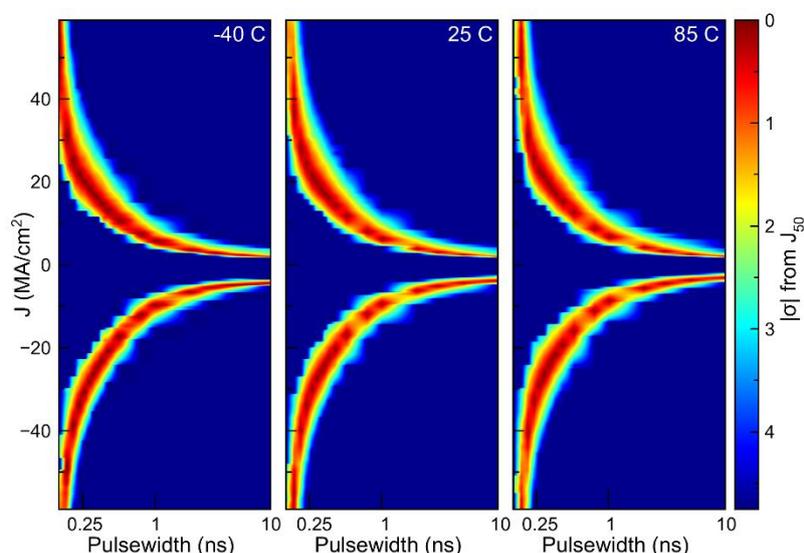


図の説明：埋め込み電源レール (BPR) を介したデバイス接続に、ウェーハの両面が使用される新しいルーティング方式で構築された FinFET を示す TEM 画像。M1 レベルまでの FinFET は、ウェーハの前面 (FS) に構築され、その後ウェーハは裏返され、キャリアウェーハに結合され薄層化されます。ウェーハ FS では、M1 ライン (FSM1) が V0 ビアを介して MOA ラインに接続され、MOA ラインは VBPR ビアによって BPR ラインに接続されます

## MRAM Memory Technology

### “ダブルスピントルク磁気抵抗を用いた MRAM” – アイ・ビー・エム (T1-4)

スピン注入磁化反転型磁気抵抗メモリ (STT-MRAM) は、Flash や SRAM 比べてエネルギー効率が改善し、現在量産されています。しかしながら、信頼性と動作速度の両立はまだまだ改善すべき課題となっています。IBM は、ダブルスピントルク磁気トンネル接合 (DS-MTJs) を用いたサブナノ秒スイッチングで信頼性と動作速度の両立を実証しました。250 ピコ秒以下の書き込み動作で低いエラー率を達成し、 $-40^{\circ}\text{C}$ ~ $85^{\circ}\text{C}$ の広い温度範囲でタイトな特性分布を実現しました。信頼性の観点では、 $1\text{E}10$  回の書き込みサイクル後に劣化は見られませんでした。最近発表されている三端子スピン軌道トルク型の MRAM (SOT-MRAM) と比較し今回の DS-MTJ は、動作電流密度が  $1/10$  に、パワーは  $1/3$ ~ $1/10$  にまで低減しました。

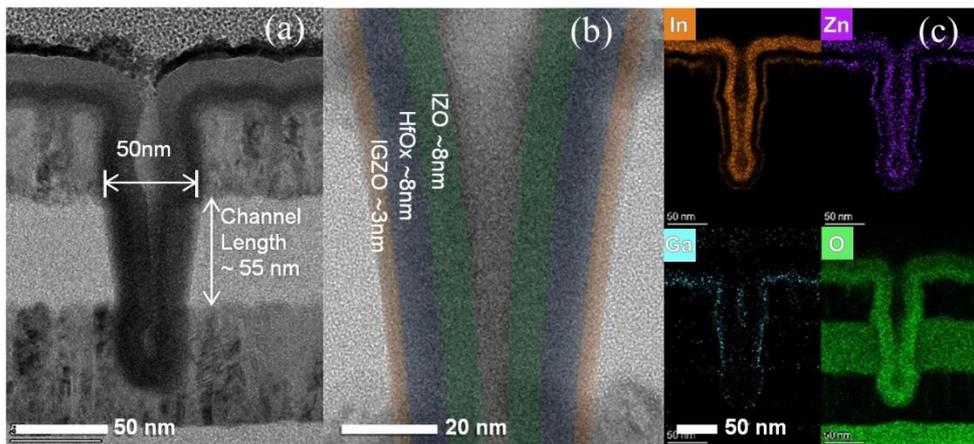


図の説明：  $-40^{\circ}\text{C}$ 、 $25^{\circ}\text{C}$ 、および  $85^{\circ}\text{C}$  で測定された、通常の変位スケール (50%のスイッチング電流密度からの標準偏差の絶対値を使用) を使用してプロットされた、パルス幅 225ps から 10ns までの単一デバイスの書き込みエラー率

## DRAM Memory Technology

### “垂直 CAA 型の IGZO-FET を用いた 3D-DRAM 技術” – ファーウェイ (T2-3)

HUAWEI (華為技術) は、垂直 CAA 型の IGZO-FET を用いた 3D-DRAM 技術を報告します。実効デバイス面積は  $50 \times 50 \text{nm}^2$  以下、IGZO 厚 3nm、HfOx 絶縁膜を用いた IGZO-FET は、 $32.8 \mu\text{A}/\mu\text{m}$  ( $V_{\text{th}} +1 \text{V}$ ) でサブスレッショルド特性  $92 \text{mV}/\text{dec}$  を示しました。さらに、優れた温度安定性と信頼性を有し、PBTS 特性は  $-40^{\circ}\text{C}$  から  $120^{\circ}\text{C}$  の範囲で確認しました。この結果から開発した技術は、 $1\alpha$  世代移行の高密度・高性能 DRAM として有望な候補であると考えています。

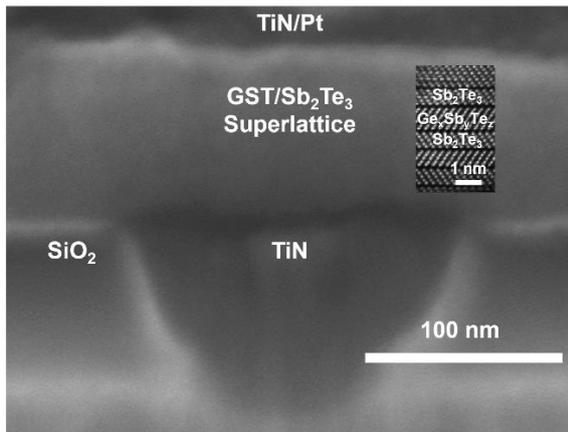


図の説明：TEMによる約50nmのCDを備えたIGZO-CAA（垂直チャネルオールアラウンド）FETの断面写真。およそ55nmのチャンネル長と組み合わせられた8nmのHfOx誘電体が見られます

## PCM Memory Technology

### “GST ( $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ) ベース超格子相変化メモリ” – スタンフォード大学 (T4-1)

相変化メモリ(PCM)は、高密度ストレージ向けの不揮発性かつプログラム可能なメモリです。スタンフォード大学は、リセット電流及び抵抗ドリフト係数の低減を可能にする超格子ヘテロ構造を搭載した、先進的な相変化メモリ構造を開発しました。PCMの材料として良く知られている $\text{Ge}_2\text{Sb}_2\text{Te}_5$  (GST)での超格子についての研究、特に超格子界面、内在するミキシング層の理解は進んでいませんでした。本論文では、X線回折法(XRD)及び高角散乱環状暗視野走査透過顕微鏡法(HAADF-STEM)による解析から、超格子構造を有するPCMのリセット電流及び抵抗ドリフト係数は、超格子の積層数が増えるほど低減することを見出しました。下部電極径を110nmまで低減したマッシュルーム型セル構造のPCMにて、リセット電流 $\sim 3\text{mA}/\text{cm}^2$ 、7抵抗値状態、抵抗ドリフト係数( $\sim 0.002$ )を実証しました。更に、 $105^\circ\text{C}$  10の6乗回までの繰返し耐久性も確認し、安定した低消費電力PCM動作を実証しました。



図の説明：マッシュルームセル GST/Sb<sub>2</sub>Te<sub>3</sub> 超格子相変化メモリデバイスの断面走査型電子顕微鏡画像。挿入図は、原子的にシャープな超格子界面とファンデルワールスのようなギャップを示しています

## Image Sensor Technology

### “高解像度 0.6 $\mu$ m 小型 CMOS イメージセンサー開発” – サムスン電子 (T8-4)

CMOS イメージセンサー開発競争の激化： Samsung はデュアル垂直型転送ゲート(D-VTG)技術を活用し、10,000e<sup>-</sup>のフルウェル容量(FWC)を有した 0.6 $\mu$ m ピクセルの 2 億画素数 (200Mp) CMOS イメージセンサーの試作に成功しました。D-VTG により、従来の単一垂直転送ゲート(S-VTG)に比べ、ウェル容量 60%増加 及び 転送電圧の制御性の向上による転送能力の改善を達成しました。また、光電子伝達の効率化をゲート構造の最適化により実現しました。

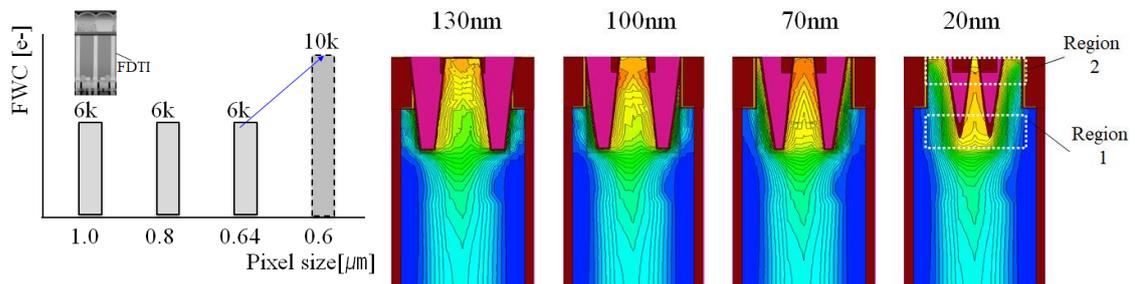


図 1

図 2

図の説明：

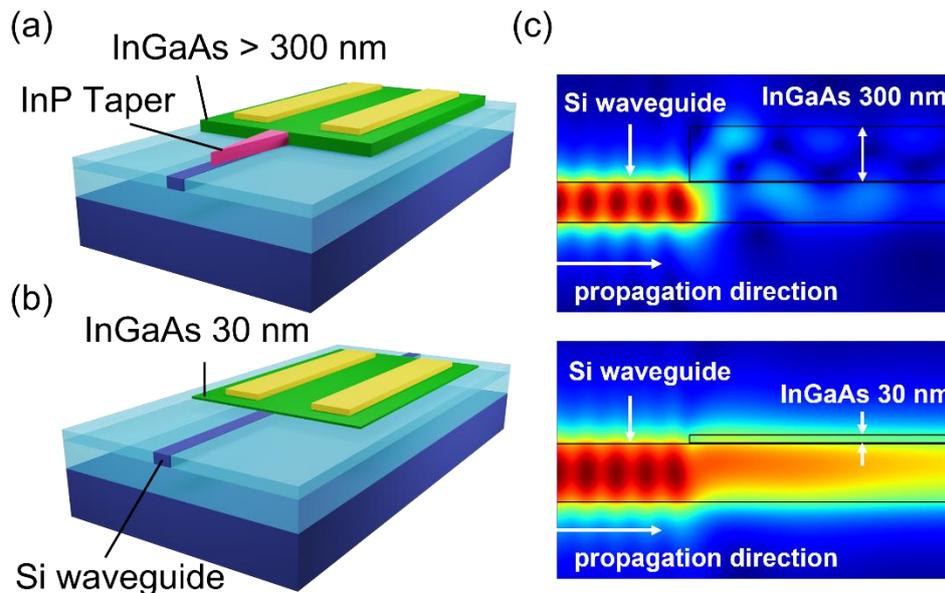
図 1：ピクセルサイズに応じた Samsung のフルウェル容量。0.6 $\mu$ m ピッチピクセルのおかげで、10ke<sup>-</sup>フルウェルが達成されます

図2：シングルおよびデュアル垂直トランスファーゲートの場合のポテンシャルプロファイル

## Wireline & Optical Systems

### “Si スロット導波路上の低静電容量 InGaAs メンブレン光検出器” – 東京大学 (T15-4)

東京大学は、データセンターおよびバックボーン回線の高速化に供する、低容量と高応答性を両立する極薄 InGaAs メンブレンと Si スロット導波路で構成される Si/III-V ハイブリッド導波路光検出器を提案しています。Si スロット導波路の強い光閉じ込めにより、InGaAs メンブレン中の光吸収を促進することで、受信器レス (TIA レス) システム実現につながる 1.9fF の低い静電容量と 1A/W の高応答性を実証しました。



図の説明： (a) テーパーを備えた従来の InGaAs 導波路光検出器、および (b) 提案された極薄 InGaAs 膜導波路光検出器の概略図。よりスムーズなモード遷移と極薄 InGaAs 膜導波路光検出器の小さな反射により、InP テーパーを排除し、製造プロセスを簡素化できます。

(c) Si 導波路から光検出器へのモード伝搬。極薄の InGaAs 膜を使用することにより、テーパーなしでスムーズモード遷移を実現できます

## Wireline & Optical Systems

### “GeSn 多重量子井戸を用いた 2 μm 波長帯光通信用チップ” – シンガポール国立大学 (T15-2)

シンガポール国立大学の研究チームは、300 mm Si ウェーハ上に作製した Ge-on-Si 導波路と GeSn 多重量子井戸を組み合わせた 2 μm 波長帯域で動作する光通信用送受信デバイスの実証に成功しました。グレーティングカップラで光信号を入力可能な導波路型受光器を実現したことで、表面入射型構造と比較して感度を 35 倍改善することに成功し、GeSn を用いた受光器として 525 mA/W という最高感度を報告しています。また、GeSn 多重量子井戸中の電界吸収効果を使った光変調動作の実証に成功し、世界で初めて、GeSn 多重量子井戸を使った受光器と光変調器のモノリシック集積に成功した結果を報告しています。

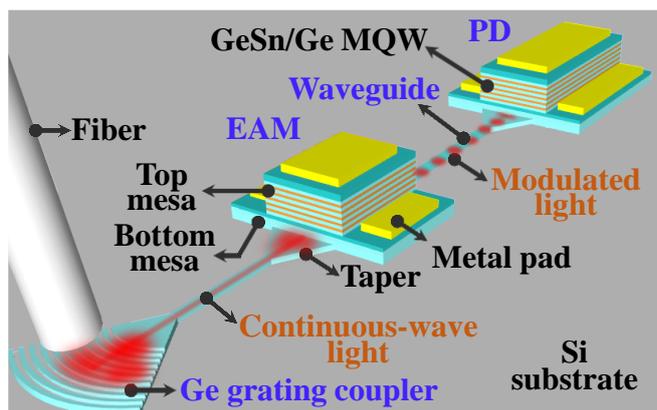


図 1

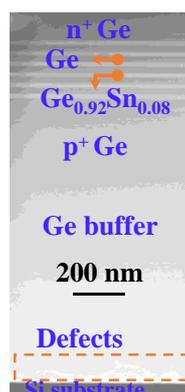


図 2

図の説明：

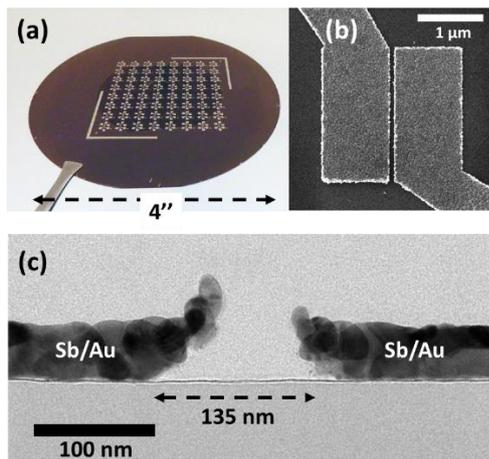
図 1：Si 基板上の 2 μm 波長のモノリシック集積導波路 PD および EAM の 3D 概略画像。光はカップラを介して導波路に結合され、変調のために EAM に向けて送信され、PD によって検出されます

図 2：2 μm 統合プラットフォーム用の 300mmSi 基板上の GeSn MQW 層スタックの断面 TEM 画像。

## Advanced Materials

### “ウェーハスケール半自動転写プロセスを用いた高性能 WS<sub>2</sub> トランジスタ” – TSMC (T1-5)

TSMC は、半金属 Bi と 2 次元半導体 WS<sub>2</sub> 間の弱結合界面を利用した、単層 CVD-WS<sub>2</sub> 用のウェーハスケール半自動乾式転写プロセスを用いたトランジスタ技術を報告します。単層 2D 半導体は、原子スケールのチャネル厚さにおいても良好なキャリア移動度が維持され、バルクよりも短いチャネル長 (LCH < 10 nm) での静電制御が優れているため、将来の微細トランジスタのチャネル材料として有望な材料です。この新しい単層転写法は、ウェーハスケールで実証されており、n-FET において、135nm のゲート長で最大 250 μA / μm の高いオン電流を達成しました。

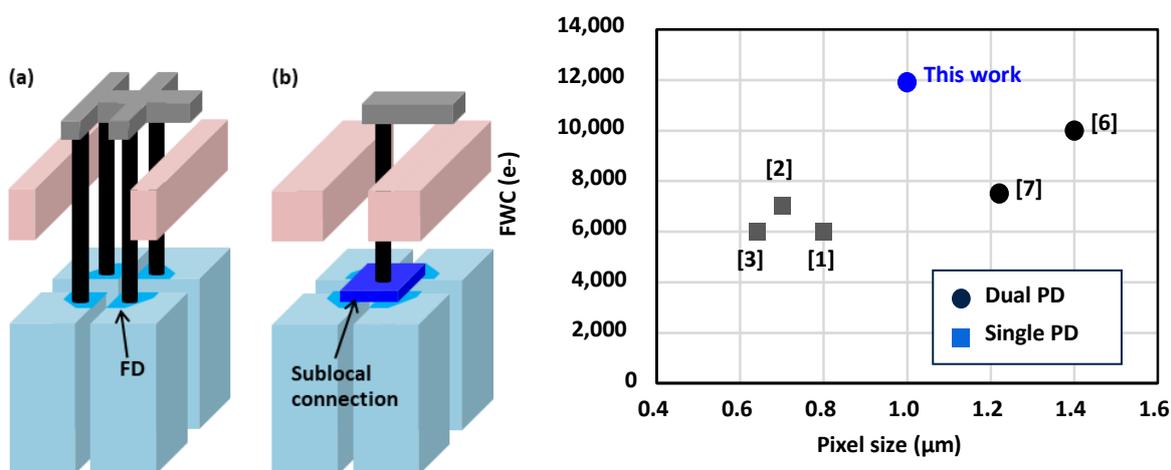


図の説明：(a) グローバルバックゲートデバイス構造を備えた4インチ SiNx(100 nm)/p++-Si ウェーハに転写された、2インチ 1L CVD WS<sub>2</sub>の写真。(b) SEM および (c) Sb/Au コンタクトのあるデバイス構造の断面 TEM 画像

## Image Sensor Technology

### “2層トランジスタ画素積層型 CMOS イメージセンサー” – ソニー (T1-3)

ソニーは、2層トランジスタ画素積層型 CMOS イメージセンサー(CIS)で高い飽和信号量と量子効率が実現できたことを報告します。フォトダイオードと画素トランジスタを別々の Si 層に形成することでフォトダイオード(PD)を大きくすることが可能となり、さらに複数の拡散容量と接続可能な新しいサブローカル接合を用いることでゲインとノイズが改善されました。フルレンチ分離(FTI)には従来の Poly-Si ではなく SiO<sub>2</sub>が初めて採用され、FTI での光吸収が抑制されたことで波長 530nm における量子効率は 19%向上しています。この技術により、従来は大きな画素サイズでのみ達成可能であった飽和信号量 12000e<sup>-</sup>を 1.0 μm デュアル PD CIS で達成しました。



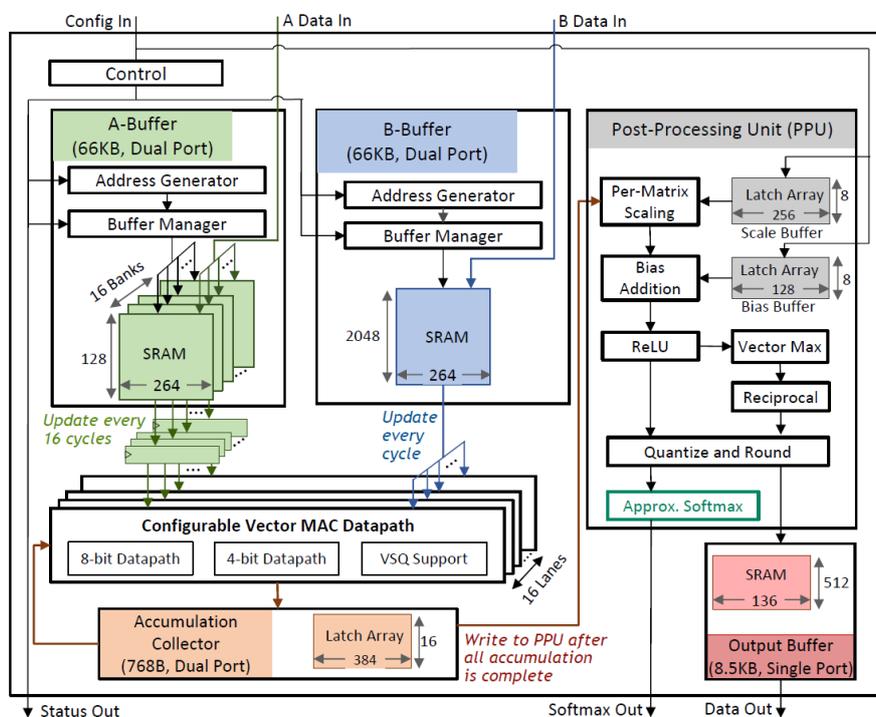
図の説明：2層ピクセルのデバイス構造 (a) サブローカル接続なし、および (b) サブローカル接続あり。(c) 以前の研究と比較した、本研究のピクセルサイズと FWC の関係

# Circuits Highlights

## Machine Learning

### “ベクトル単位でスケーリングされた4ビット量子化による95.6 TOPS/W 5nm プロセス 深層学習 Transformer モデル向け推論アクセラレータ” - エヌビディア (C2-1)

自然言語処理・マシンビジョンなどで使用される Transformer ベースの DNN に特化した機械学習プロセッサはエッジデバイスやデータセンターの主力になりつつあります。エヌビディアは 5nm CMOS プロセスで製造した最新の深層学習アクセラレータプロトタイプを報告します。高精度の計算は消費電力増加を引き起こす一方で、低精度の計算は誤認識やユーザー満足度の低下につながります。著者はこの課題解決のために、算術処理中にデータ内容に応じてベクトル単位で4ビット精度にスケーリングするという新しい手法を提案します。本手法により 0.7%の精度劣化に抑えつつ 95.6TOPS/W という電力効率を達成しています。



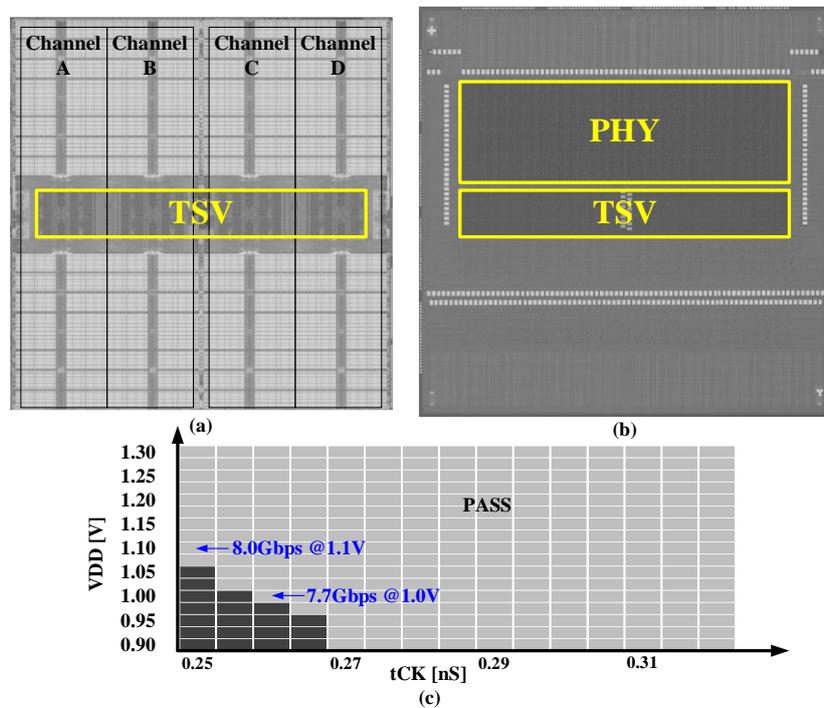
図の説明： エヌビディアが提案するベクトル単位でスケーリングされた量子化サポートによる深層学習推論アクセラレータのブロック図

## DRAM Memory

### “オンダイエラー制御方式でRAS機能を強化した16GB 1024GB/s HBM3 DRAM” - サムスン電子 (C15-1)

サムスン電子は、車載、データセンターなどの産業用に、システムの信頼性、可用性、および保守性 (RAS) を向上させた第3世代の 10nm DRAM を発表します。この “High Bandwidth Memory-3” (HBM3) DRAM は、16 ビットのワードエラーと 2 つのシングルビットエラーを同時に訂正できる新しいオンダイエラーコード訂正 (ECC) 方式を採用し、エラー訂正性能を向上させることで目標を実現しました。エラーを DRAM スタック内の他のダ

イにアクセスして訂正するのではなく、同じ DRAM ダイ上でローカルに訂正することにより、レイテンシを改善し、ピンデータレートを前世代の 5Gb/s/pin から 8.0Gb/s/pin へ、メモリキューブあたりの合計メモリバンド幅を 1024GB/s に向上させることができました。これは、16GB の DRAM モジュールで実証されました。

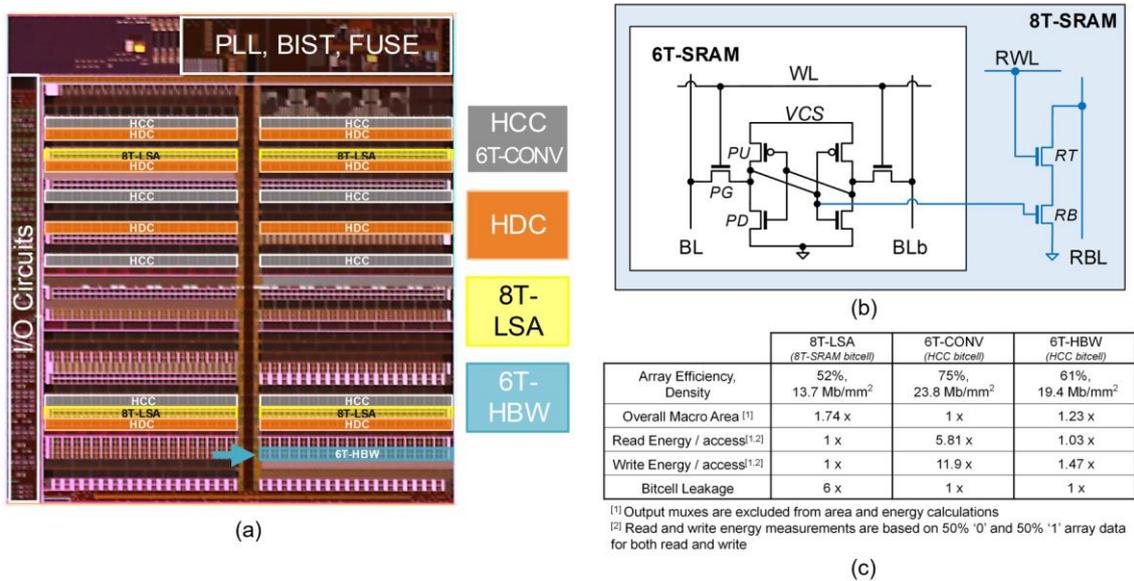


図の説明：サムスン電子 HBM3 チップの (a) コアダイ及び (b) バッファダイ写真、(c) tCK Shmoo 測定結果

## SRAM Memory

### “4nm CMOSによる高効率・広帯域 6T SRAM 設計” – インテル (C24-1)

インテルは 4nm クラスの CMOS テクノロジーによる電力効率の高い SRAM を報告します。高スループットのアプリケーションに対して計算処理の電力効率を高めるためには、オンチップメモリの大容量化と高帯域化が課題となります。従来、6 トランジスタによる SRAM (6T SRAM) は低面積要件に対応し、8 トランジスタによる SRAM (8T SRAM) はより低い動的電力に対応しますが、それらの両立は困難です。本報告では 0.03um<sup>2</sup> のビットセル面積で最適化された 6T SRAM 設計を紹介し、8T SRAM と同等の電力と、従来 6T SRAM 設計に対して 5.8 倍の動的電力削減を報告します。

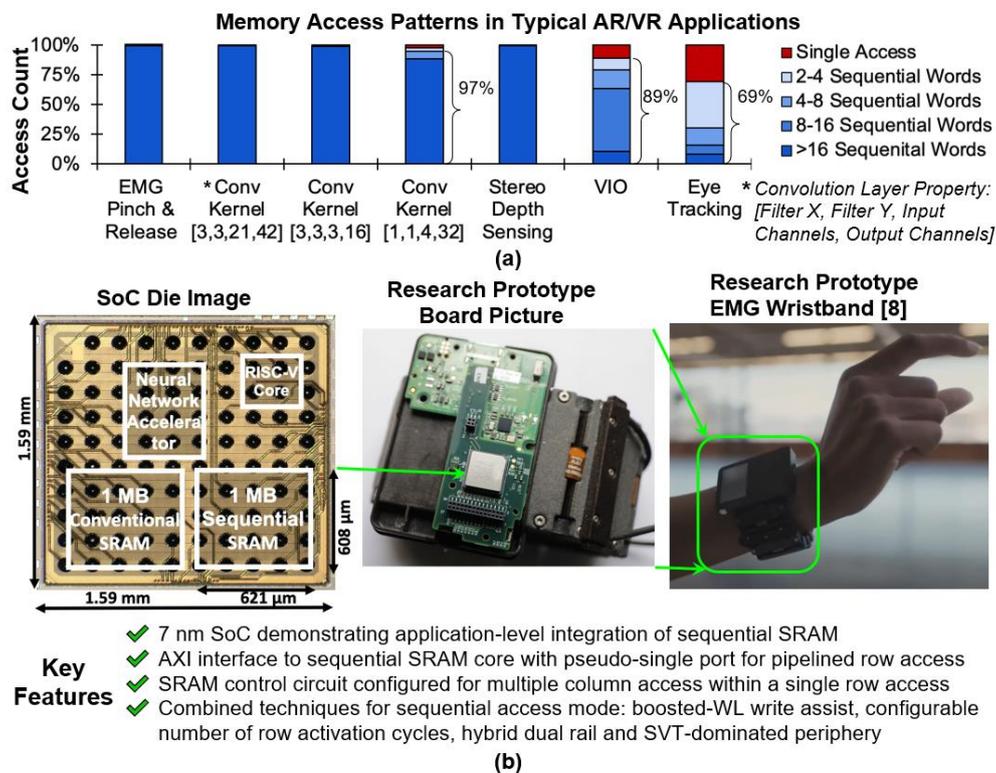


図の説明：(a) インテル 4nm CMOS テクノロジーのテストチップ写真。(b) インテル 4nm CMOS テクノロジーのメモリビットセル。(c) 60kB マクロ実装時の密度及びアクセスあたりのエネルギー比較

## SRAM Memory

“AR アプリ向けに連続アクセスパターンを用いてメモリのアクセス電力を 58%低減した 7nm SoC に用いられる SRAM” – メタ (C24-3)

AR アプリでは、エッジインテリジェンスを可能とするセンサ向けに超低消費電力であることが求められています。本論文では、メタの Reality Labs のチームが AR グラスのジェスチャ認識タスク向け筋電計(EMG)リストバンドのプロトタイプに搭載される 7nm SoC に使われる低電力 SRAM 設計に関して報告します。彼らは、メモリ設計を計測モダリティ向けに最適化し、メモリへのランダムアクセスするのではなく連続アクセスに特化する方式を提案しています。ここでは、連続したメモリからの読み出し、および、書き込み動作において、回路動作の回数を最小化しています。この方式により、従来の設計と比較して、読み出し電力を 52%、書き込み電力を 58%削減することが可能となりました。

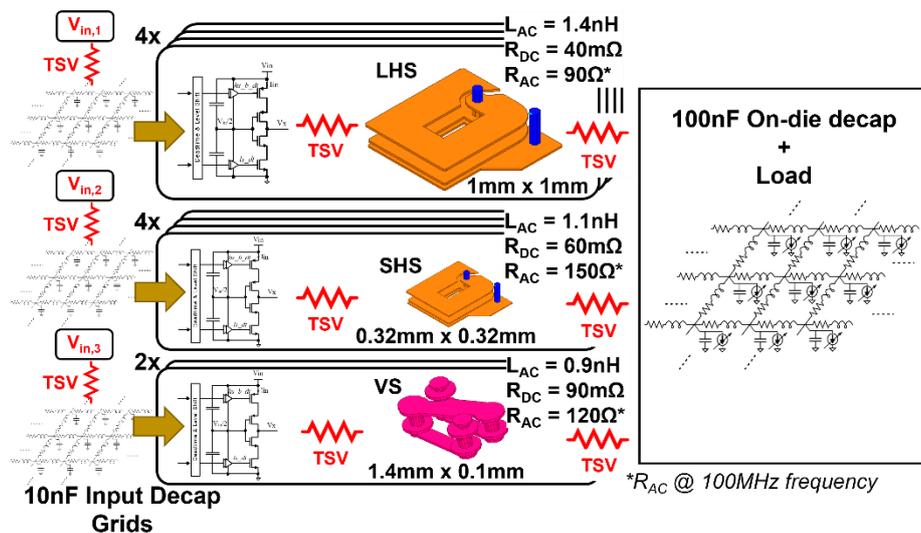


図の説明：(a) AR SoC SRAM データアクセスに高い連続性があることがわかるメタの AR アプリケーション解析。(b) チップ写真およびデモセットアップ。指の”つまむ、はなす”のジェスチャ認識を 124uJ のエネルギーで実現。

## System-in-Package Power Management

### “パッケージ埋め込み型インダクタを用いた集積型電圧レギュレータ” – インテル (C22-1)

インテルは、22nm プロセスにおけるアクティブシリコンインターポーザ上の 3D-TSV 積層システムインパッケージ (SiP) 設計で、異種チップレットを統合した先進の SiP 電源管理について報告します。著者らは、3D-TSV で接続されたパッケージ基板にインダクタを埋め込み、インターポーザダイ上の集積型電圧レギュレータにタイル状に直接接続しました。単一タイルでの電力効率は 10mA から 300mA にかけて一定を保ち、隣接するタイルのレギュレータを選択的に集合化することで 1A の範囲まで向上することが示されます。これにより、様々な電力要件を持つ計算、メモリ、通信チップレットを柔軟かつコスト効率よく統合することができます。

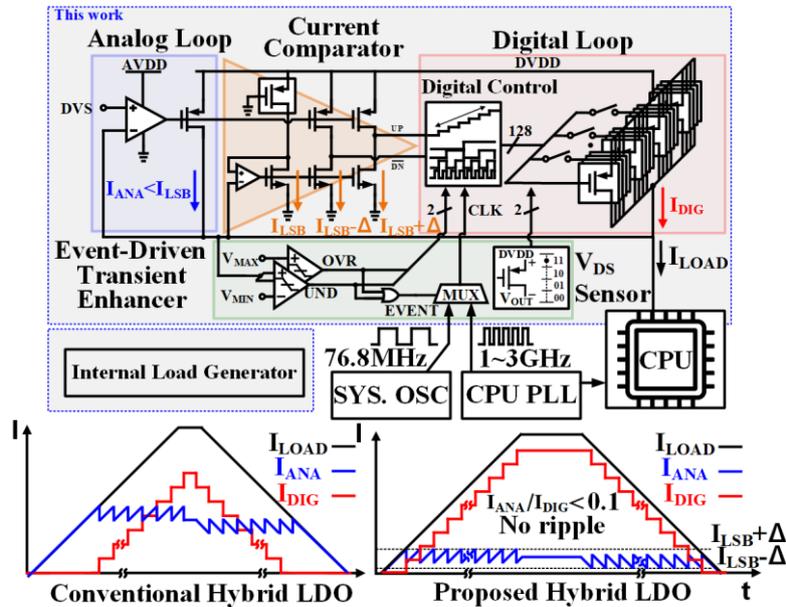


図の説明：電力/効率/面積トレードオフに向けた TSV ベースインダクタと 10 タイル集積型電圧レギュレータのテストセットアップ

## Power Management of Digital Processors

### “3nm GAA (Gate All Around) プロセスを用いたモバイル向け SoC にて電源電圧動的制御を行うためのリニアレギュレータ回路” – サムスン電子 (C21-4)

最先端の微細 CMOS プロセスを用いたモバイル向け SoC に対する性能向上の要求は高まるばかりです。多くの CPU コアを搭載したモバイル向け SoC において、高性能と低消費電力を両立させるために要求性能に応じてコア毎に電源電圧を動的に変化させる技術が用いられます。これを実現するために、SoC 上に多数個のリニアレギュレータ回路を搭載する必要があります。本論文は、デジタル制御とアナログ制御を巧みに組み合わせた新しいリニアレギュレータ回路を提案し、3nm GAA (Gate All Around) プロセスを用いたチップ試作結果にて 34.15 A/mm<sup>2</sup> の大出力電流密度と 1 ns の負荷電流変化に対する高速応答性を実証しました。本技術により、高性能で低消費電力な将来のモバイル機器の実現が期待されます。

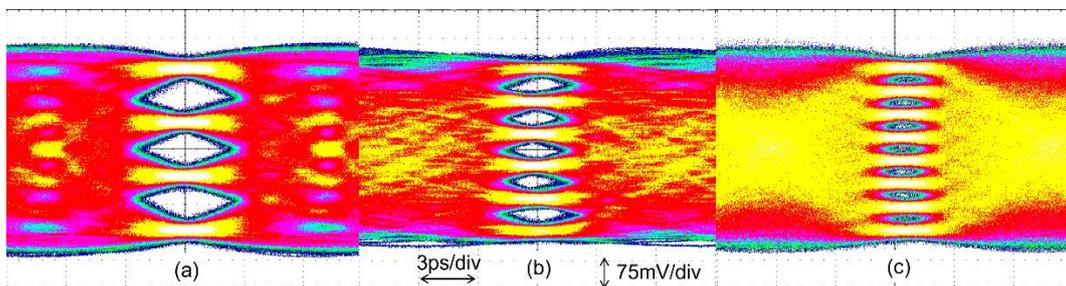


図の説明：デジタル制御とアナログ制御を巧みに組み合わせたモバイル SoC 向けリニアレギュレータ回路

### Wireline Transceivers

#### “200+Gb/s シリアルリンク向け 72GS/s, 8-bit DAC ベース 4nm FinFET CMOS 有線送信機” – IBM 基礎研究所 (C3-2)

IBM はデータセンターにおけるネットワーク帯域増加の需要に対処する超高速有線シリアルリンク向け送信機を報告します。彼らの手法は 72GS/s 動作でソースシリーズ終端 (SST) を用いた 8 bit DAC を基礎としています。SST 設計を基礎とした先行研究では 56GBaud を超えることはできませんでしたが、本研究では 72GBaud まで押し上げています。彼らの 4nm FinFET CMOS IC は 216Gb/s PAM8 と 212Gb/s QAM64 OFDM 動作を 288mW の電力消費で達成しています。

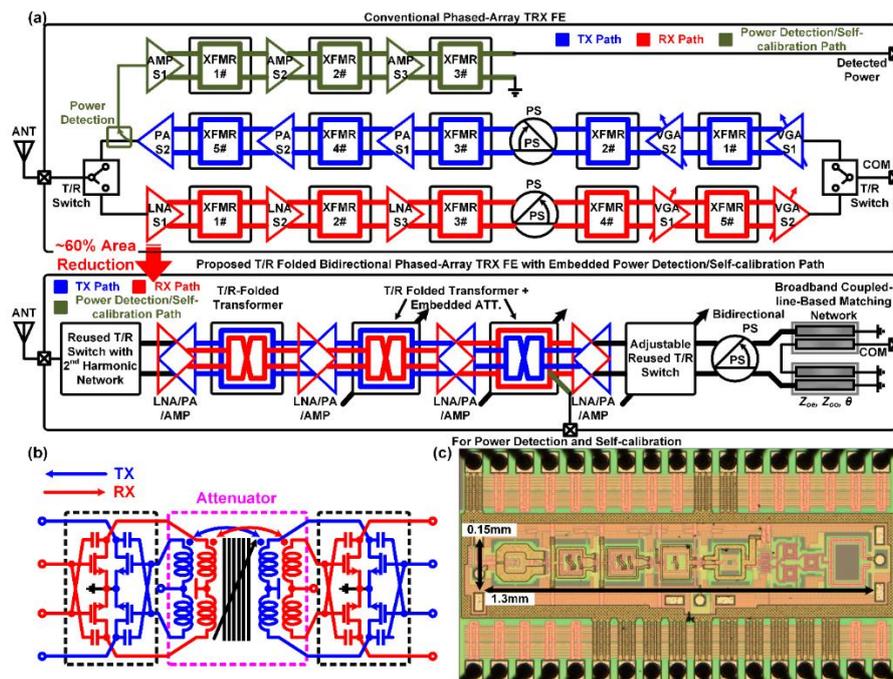


図の説明：8-tap FFE を用いた 72GS/s 送信機のアイダイアグラム測定結果 (a) 144Gb/s PAM4 QPRBS13 (b) 180Gb/s PAM6 PRBS11 (c) 216Gb/s PAM8 PRBS15

## 5G Transceivers

### “5G 向け広帯域 28/39GHz 帯フェーズドアレイ無線機” – 清華大学 (C11-4)

清華大学の研究者らは、5G で利用されている 28GHz~39GHz の周波数帯域に対応した、面積効率の高い双方向型フェーズドアレイ無線機を発表します。広帯域トランスフォーマベースの送受信機は、広帯域でのビームフォーミングを実現するために、新たな高速スイッチング、減衰器、位相器の回路技術を用いています。本フェーズドアレイ無線機は、28~39GHz で 64/256/512QAM の変復調に対応し、19.2dB の受信利得、12.8dBm 以上の送信電力を実現しています。また、先行研究より 25%以上の面積削減を達成しました。

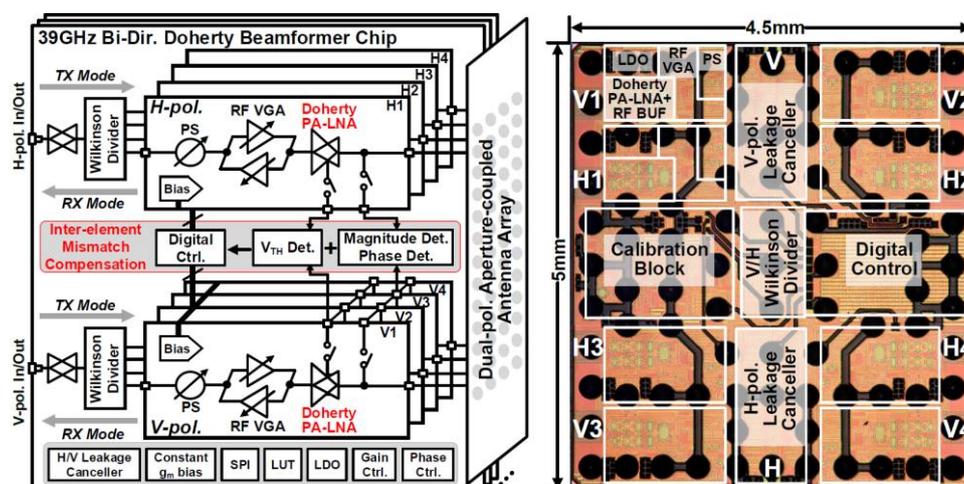


図の説明：(a) 電力検出/自己校正パス内蔵の超小型双方向 Tx/Rx 折り返し型 28/39GHz 広帯域フェーズドアレイ・トランシーバ・フロントエンド。(b) 双方向トランスベース高分解能アッテネータを再利用した Tx/Rx 折り返しアーキテクチャ。(c)ダイ写真

## 5G Transceivers

### “双方向ドハティアンプによる 5G 基地局向け 39GHz 帯フェーズドアレイトランシーバー” – 東京工業大学 (Paper C11-2)

東京工業大学はドハティ型パワーアンプと低ノイズアンプを兼用する双方向アンプを採用した、フェーズドアレイビームフォーマーによる 5G 向けトランシーバを発表します。著者らは個々のアンテナに供給する送信電力の均一性改善のためにデジタル・アナログの補正方法を研究し、アンテナ間で共有したデジタル補正手法と個々のアンテナに対して位相と利得補正を適用するアプローチにより、送信時の EVM を 9.1%、送受信時の EVM を 11.8%まで改善しました。著者らは 39GHz 帯において 64QAM 変調の条件下で 21Gbps のデータ通信速度を達成しました。

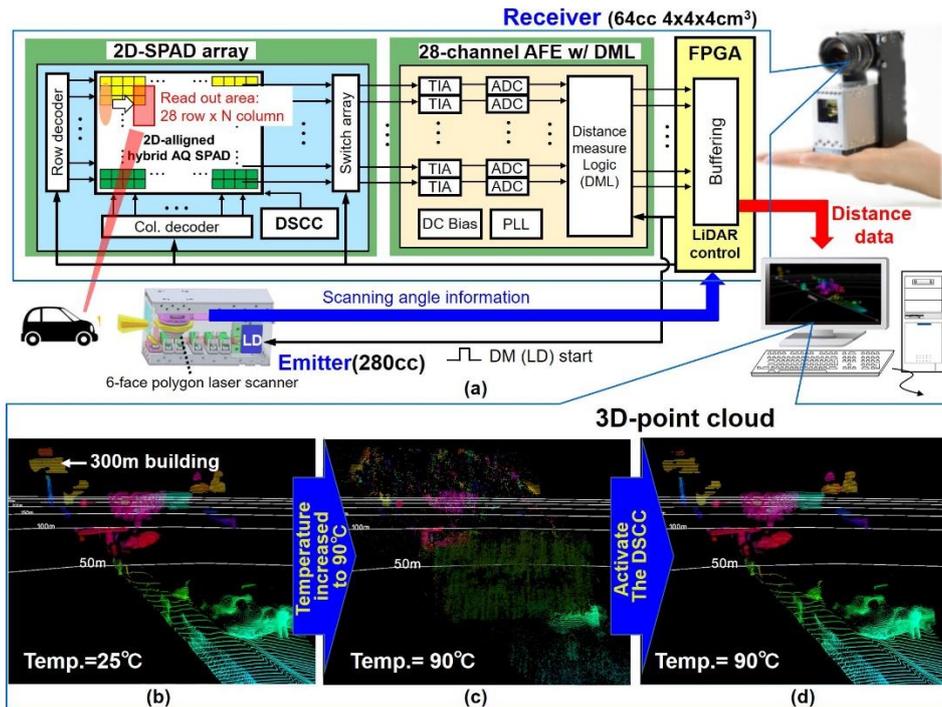


図の説明： ドハティ型パワーアンプと低ノイズアンプを兼用する双方向アンプを採用した素子間ミスマッチ補償付き 39GHz 帯フェーズドアレイビームフォーマー

## Imaging & LIDAR

### “1200x84-pixels 30fps 64cc の小型 LiDAR レシーバー” – 東芝 (C16-2)

近年 LiDAR はレーザー送信機の小型化と受信機の LSI 化によってシステム全体の小型化とコスト削減が図られています。東芝は CMOS-SPAD ベースの受信機（センサー）を含む LiDAR システムを手のひらサイズの 64cc の容積に組み込んだものを発表します。センサーには深い素子分離構造と最適化された画素リセット機構（アクティブクエンチ回路）を有する 1200x84 画素の SPAD 画素アレイが実装されています。一般的に SPAD 画素は高電圧駆動が必要で、多くのオフチップ部品を必要とし、コストアップにつながります。この研究では、チップ上に SPAD のプロセスと温度によるばらつきを補正する電圧制御ループを低電圧回路で実現し、システムの部品点数を削減しました。この LiDAR システムは、CMOS 受信機とマイクロスキャンミラー、28ch の ADC、FPGA を搭載し、110kLux の明るい環境下で、30fps、システム温度 90°C までの 3 次元データの生成を実証しています。

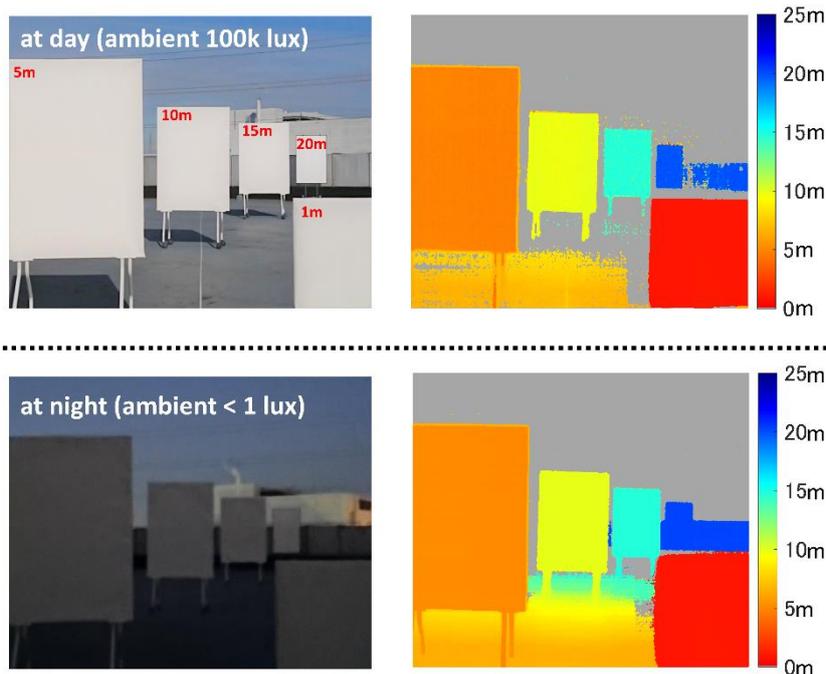


図の説明：(a) 手のひらサイズのコンセプト実証 LiDAR とそのブロック図。(b) 提案するデジタル SPAD 特性補償を OFF にした 25°C、(c) 90°C の 3 次元点群データ、(d) ON にしたときの 3 次元点群データ。

## Imaging & LIDAR

### “高照度環境光に対応したロングレンジ 3 次元距離測定のためのハイブリッド・間接型 ToF イメージセンサ” – 凸版印刷 (C5-2)

一般的に、3次元測距カメラや LiDAR 用に利用される高分解能間接型 ToF では距離レンジと測定精度がトレードオフとなります。凸版印刷・ブルックマンテクノロジーおよび静岡大学は、このレンジ-精度のトレードオフを克服する新しい計測タイミングスキームを提案しました。提案された手法は屋外での利用を含めた多様な用途に適しており、その際重要となる複数のカメラが同一視野を撮像する際に生じる相互干渉の抑制方法も提供されています。報告では 30 m レンジ、100 klux の環境光下で 15 cm 以下の精度を達成しています。

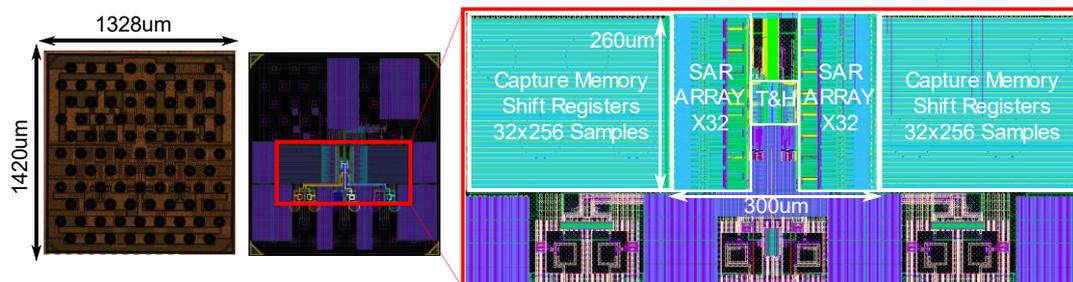


図の説明： 日中 (100 klux) および夜間 (< 1 lux) における 1~20 m 範囲の屋外深度マップ

## Analog to Digital Converters

### “ブートストラップサンプラと AB 級バッファを用いた 4nm CMOS 8-bit 56GS/s 64 チャンネルタイムインターリーブ型 ADC” – IBM 基礎研究所 (C19-1)

スイス IBM 研究所は先端の 4nm CMOS 技術を用いた 8 ビット分解能、56GS/s の ADC を発表します。近年の ADC ベースの高速シリアル通信用レシーバでは 112Gb/s 超の速度要求に応えるためタイムインターリーブ技術が必須となっています。本発表では、チャンネル間のオフセット、ゲイン、スキューをアナログ的に事前補正し、64 チャンネルの ADC をタイムインターリーブ動作させています。高い電源電圧を必要とせずに 4nm プロセス技術における 0.8V という低い電源電圧のみで動作可能かつ最大振幅 0.8Vpp の入力信号まで受付可能である、新規な AB 級入力バッファとブートストラップ型トラック・ホールド回路を提案しています。提案 ADC 回路は 27GHz 超の帯域を実現しつつ 47fJ/conv.step という高い電力効率を示し、他の最先端技術に匹敵する性能を達成しています。



図の説明： IBM が提案する 4nm CMOS 技術で製造された 56GS/s 8 ビット非同期 SAR ADC のダイ写真とレイアウト詳細。16x4 のインターリーブ ADC は、新しいブートストラップ技術と AB 級バッファを第 1 階層のインターリーブに使用しています。